

الجمهورية الجزائرية الديمقراطية الشعبية
REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
وزارة التعليم العالي و البحث العلمي
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique



جامعة محمد بوضياف - المسيلة

Université Mohamed Boudiaf - M'sila

كلية التكنولوجيا

Faculté de Technologie

قسم الإلكترونيك

DEPERTEMENT D'ELECTRONIQUE



MEMOIRE DE MASTER

DOMAINE:SCIENCE ET TECHNOLOGIE

FILIERE:ELECTRONIQUE

OPTION:MICRO- ELCTRONIQUE

THEME

Etude du système de conduction courant- tension pour un transistor CNTFET

Proposé et dirigé par:
Prof.HociniAbdesselam

Présenté par:
Mr. MehouesAbdenmour

N°d'ordre : ...

Promotion:Juin 2016

Dédicace

*Avant tous, je remercie dieu le tout puissant de m'avoir
donné le courage et la patience pour réaliser ce travail
malgré toutes les difficultés rencontrées.*

Je dédie ce modeste travail:

*A mes très chers parents A&K que dieu les garde et les
protège pour leurs soutien moral et financier, pour leurs
encouragements et les sacrifices qu'ils ont endurés.*

A mon frère : Rabeh

A mes chers amis, sur tout : youcef, Hocine, Ali

*A tous les amis d'études surtout ceux de l'électroniques
promotion 2015-2016*

Je vous aime tous

Remerciements

Je remercie Dieu, le tout puissant, pour m'avoir donné, le courage, la patience, la volonté et la force nécessaires, pour affronter toutes les difficultés et les obstacles, qui se sont hissés au long de mon chemin, durant toutes mes années d'études.

Je adresse mes sincères remerciements à tous mes enseignants de L'université de M'SILA, notamment à mon Encadreur Prof. Hocini Abdesselam d'avoir proposé le sujet sur lequel j'ai travaillé, et qui a assuré la direction et l'encadrement du travail présenté dans ce mémoire.

Je tiens, à adresser l'expression de ma sincère reconnaissance A Monsieur Diabi Abdelaali.

Je tiens notamment, à adresser l'expression de ma sincère reconnaissance aux membres du jury d'examen, pour l'intérêt qu'ils ont porté à ce travail.

Cette page ne serait être complète sans remercier mes meilleurs collègues et frères :Aziz et Ibrahim, Mostapha sans leurs soutiens je n'aurais sûrement pas pu mener à bien ce mémoire.

Enfin, mes remerciements vont à tous ceux qui m'ont soutenu de près ou de loin à réussir ce travail.

SOMMAIRE

Introduction général	(1)
CHAPITRE I :fonctionnement d'un transistor mosfet	
I-1- Introduction.....	(3)
I-2- Fonctionnement d'un transistor MOSFET classique.....	(3)
I-2-1- Principe de base d'un transistor MOSFET.....	(4)
I-2-1-1- Effet de champ.....	(5)
I-2-1-2- Régimes de fonctionnement.....	(5)
a. Zone bloquée	(6)
b. Zone de depletion.....	(6)
c. Zone d'inversion.....	(6)
d. Resistive (ohmique).....	(7)
I-2-1-3- Potentiel de bandes plates.....	(8)
I-2-1-4- Tension de seuil.....	(8)
I-2-1-5- Pente sous le seuil.....	(10)
I-2-1-6- Courants I_{OFF} et I_{ON}	(10)
I-2-2- Modélisation d'un transistor MOSFET classique.....	(10)
I-2-2-1- Régime linéaire.....	(11)
I-2-2-2- Cas de faible inversion.....	(11)
I-2-2-3- Cas de forte inversion.....	(11)
I-2-2-4- Régime de saturation.....	(12)
I-2-2-5- Effet tunnel.....	(13)
I-3- Fonctionnement des transistors MOSFET sur SOI.....	(15)
I-3-1- Transistors partiellement et totalement désertés... ..	(15)
I-3-2- Propriétés électriques des composants PD et TD.....	(15)
I-3-3- Courant de saturation.....	(16)
I-3-4- Tension de seuil.....	(18)
I-3-5- Mobilité.....	(18)
I-3-6- Effets de substrat flottant.....	(19)
I-3-7- Effet « <i>kink</i> ».....	(19)
I-3-conclusion.....	(21)
CHAPITRE II : SB-CNTFE T :transistor à nanotubee de carbone à barière shottkey	
II-1- Introduction.....	(22)
II-2-Introduction sur les nanotubes de carbone	(22)
II-3-Propriétés physiques du nanotube de carbone	(24)
II-3-1-Structure atomique.....	(24)
II-3-2-Propriétés électroniques	(26)
II-4 - Le dispositif de transistor à nanotubes de carbone.....	(28)
II-5-Transistor à effet de champ conventionnel (CNTFET).....	(30)
II-6-Transistor à effet de champ double grilles (DG-CNTFET.....	(33)
II-7-Transistor à effet de champ à barrière Schottky (SB- CNTFET).....	(35)
II-8-CNTFET : transistor à barrière Schottky.....	(36)
II-8-1-Barrière Schottky à l'interface nanotube/métal.....	(36)
II-9- conclusion.....	(43)

CHAPITRE III : SIMULATION ET DISCUSSION DES RESULTATS

III-1- Introduction	(44)
III-2- Etude du transistor n- MOSFET	(44)
III-2-1- Tracé de la caractéristique de transfert	(44)
III-2-2- Tracé des caractéristiques de sortie	(45)
III-2-3- Tracé de Variation la tension V_{th} en fonction de T_{ox}	(47)
III-2-4- Tracé de la caractéristique $I_{DS}-V_{DS}$ pour différentes valeurs de l'épaisseur de l'oxyde ...	(48)
III-3- Etude du transistor SB-CNTFET	(49)
III-3-1- Tracé de la caractéristique $I_{ds}=f(V_{GS})$ d'un transistor SB-CNTFET (13,0) dans le cas du transport balistique $V_{DS}=0,4V$	(51)
III-3-3- Tracé de la caractéristique de $I_{DS}=f(V_{DS})$ simulées pour différentes températures ...	(52)
III-3-4- Tracé de la caractéristique courant de drain en fonction de V_{GS} pour différentes valeurs de V_{DS}	(54)
III-4-Comparaison des caractéristiques de sortie des deux types de transistor	(55)
III-5-Discussion des résultats	(56)
III-6-conclusion	(58)
Conclusion général	(59)

La liste de figure

CHAPITRE I : FONCTIONNEMENT D'UN TRANSISTOR MOSFET

Figure (I.1) : Représentation schématique d'un transistor MOSFET.....	(4)
Figure (I.2) : Diagramme de bande d'un transistor NMOSFET en régime de bandes plates (a) et en régime de faible inversion (b),.....	(5)
Figure (I.3) : Transistor N-MOS avec une zone de déplétion.....	(6)
Figure (I.4) : Transistor N-MOS avec un canal d'inversion	(7)
Figure (I.5) : N-MOS avec une zone de déplétion.....	(7)
Figure (I.6) : Transistor N-MOS en mode saturé	(8)
Figure (I.7) :Caractéristique $I_D(V_{GS})$ d'un transistor MOSFET.....	(11)
Figure (I.8) : vue en coupe d'un transistor partiellement déserté (a) et totalement déserté (b....	(16)
Figure (I.9) : Réseaux de capacités vus de puis la grille pour les MOSFET SOI totalement déserté (a) et partiellement déserté (b).....	(19)
Figure(I.10) : caractéristiques en courant I_{ds} et conductance de sortie g_d des transistor PD avec et sans effet "kin" ($L_g=130$ nm , $W=60$ μ m).....	(20)
Figure (I.11) : Mécanisme de l'effet "kin" des transistors PD.....	(21)
Figure (I.12) : transistor TD sans effet kin.....	(21)

CHAPITRE II : SB-CNTFET : transistor à barrière Schottky

Figure (II.1) : De la feuille de graphène (atomes de carbone arrangés suivant un maillage hexagonal) aux nanotubes b) monoparoi et c) multipa.....	(22)
Figure (II.2) : Images issues d'observation au microscope électronique à transmission : a) images parue dans b) image de la thèse de ENDO	(24)
Figure (II.3) : Structure atomique d'un nanotube de carbone monoparoi a) et multiparois b) (SaitoLab., Université de Nagoya). c) Enroulement d'un SWNT sur le maillage cristallin de graphène	(25)
Figure (II.4) : Le schéma de bandes d'énergie d'une feuille de graphène dans la zone de Brillouin	(26)
Figure(II.5) : <i>quantification de niveau de sous bande d'énergie</i>	(28)
Figure (II.6) : (a) <i>Schéma du montage électrique réalisé d'un transistor à nanotubes de carbone</i> (b) <i>Caractéristiques $I_{DS}=f(V_{DS})$ en fonction de la tension V_{GS}</i>	(29)

Figure (II.7): Diagrammes d'énergie d'un CNTFET <i>MOS-like</i> type N sous deux conditions de polarisation montrant l'état passant (a) et l'état bloqué (b).....	(30)
Figure (II.8) : Procédé de fabrication auto-aligné d'un CNTFET " <i>top gate</i> " avec oxyde de grille en HfO_2 . b) Schéma de configurations de CNTFET avec grille arrière en haut (<i>back gate</i>)	(31)
Figure (II.9): Schéma de l'inverseur avec un p-CNTFET et un n-CNTFET . b) Photo du circuit oscillateur en anneau à 5 étages	(33)
Figure (II.10): Schémas de bandes d'énergie d'un DG-CNTFET (avec des contacts Schottky) montrant l'accès source, la partie interne et l'accès drain avec V_{DS} positif.....	(34)
Figure (II.11): Schéma d'un DG-CNTFET avec le canal comprenant trois nanotubes alignés.....	(34)
Figure (II.12): caractéristique symétrique I_{DS} - V_{DS} simulée de model compact..	(36)
Figure (II.13): Mise en évidence des barrières Schottky au contact nanotube/métal par microscopie de photo-courant dans un circuit ouvert	(38)
Figure (II.14): Diagramme des énergies de bande au contact métal semi-conducteur de type n....	(39)
Figure (II.15): Représentation schématique de l'effet Schottky d'une charge soumise à un potentiel extérieur	(41)
Figure (II.16): de l'effet Schottky en fonction de la polarisation d'une jonction métal semi-conducteur	(42)

CHAPITRE III : SIMULATION ET DISCUSSION DES RESULTATS

Figure (III.1) : Caractéristiques de transfert I_{DS} - V_{GS} du n-MOSFET.	(45)
Figure (III.2) : Caractéristiques de sortie I_{DS} - V_{DS} du n-MOSFET.....	(46)
Figure (III.3) : Variation la tension V_{th} en fonction de T_{ox}	(47)
Figure (III.4) : caractéristique I_{DS} - V_{DS} pour différentes valeurs de l'épaisseur de l'oxyde.....	(48)
Figure (III.5) : $I_{DS}=f(V_{GS})$ d'un transistor SB-CNTFET (13,0) dans le cas du transport balistique..	(50)
Figure (III.6): $I_{DS}=f(V_{DS})$ pour un transistor SB-CNTFET (13,0) dans le cas du transport balistique pour différentes valeurs de V_G	(51)
Figure (III.7): $I_{DS}=f(V_{DS})$ simulées pour différentes températures	(52)
Figure (III.8) : Variation du courant de drain en fonction de V_{GS} pour différentes valeurs de V_{DS} ..	(54)

Introduction générale

Introduction générale :

L'intégration du transistor MOSFET n'a pas cessé d'évoluer depuis plus d'un demi-siècle vers des tailles nanométriques. La réduction de la longueur de grille a permis d'augmenter la densité d'intégration des transistors sur une puce et d'améliorer la rapidité des circuits suivant la fameuse loi de Moore qui prédit que le nombre de transistors doublerait tous les 2 ans. Ceci augmente donc les opérations de plus en plus complexes tout en augmentant la fréquence de fonctionnement. La réduction des dimensions induit l'émergence des effets parasites tels que les effets de canaux courts ainsi que les effets liés à la mécanique quantique qui tendent à modifier les caractéristiques électriques du transistor MOSFET. Avec la réduction du canal, l'épaisseur de l'oxyde de grille doit être réduite pour maintenir le contrôle de la grille or ceci engendre un courant de fuite tunnel à travers ce dernier. A de telles dimensions, le bruit basse fréquence peut devenir un problème dans les applications analogiques et digitales car plus le transistor est rapide, plus le bruit est élevé. Toutefois, le bruit basse fréquence peut être utilisé comme un outil de caractérisation non destructif de la qualité de l'oxyde de grille et permet d'évaluer l'impact des étapes technologiques sur ce dernier[1].

L'intégration continue du transistor MOSFET conventionnel requiert de nouvelles innovations pour contrecarrer ces limites physiques obligeant les chercheurs à trouver des solutions pour pouvoir réaliser des transistors toujours performants. Afin de réduire les effets néfastes dus à la miniaturisation des transistors MOSFETs, plusieurs solutions ont été utilisées dans les technologies les plus avancées pour améliorer les performances du transistor. Parmi ces innovations, on peut citer l'utilisation de nouveaux oxydes de grille à haute permittivité (high-k) pour réduire le courant de grille, l'utilisation de l'ingénierie de contrainte pour améliorer les propriétés du transport des porteurs de charge, la conception de nouvelles architectures telles que les transistors SOI (à couche mince de silicium déposé sur oxyde enterré pour former le canal), transistors multigrilles pour améliorer le contrôle électrostatique, etc.[1][2].

La technologie CMOS actuelle a mis en avant de nombreux défis comme les problèmes d'échelle des effets de canal court etc. Les différentes solutions proposées pour résoudre ces comprennent l'utilisation de silicium contraint, structure silicium sur isolant, double, tri-gate et porte tout autour de structure pour CMOS, utilisation des dispositifs de graphène et nanotubes de carbone (CNT), automates cellulaires quantiques etc. Parmi ces solutions, la technologie CNT peut être la technologie la plus prometteuse en raison de ses propriétés électroniques et mécaniques remarquables. De plus, le développement structurel dans la

transistor à effet de champ à nanotube de carbone (CNTFET) montre les améliorations. Afin de quantifier les avantages et les inconvénients de ces nouveaux dispositifs, il est indispensable de pouvoir les caractériser électriquement et de modéliser leurs électriques avec la réduction des dimensions. L'étude réalisée dans ce mémoire entre dans ce cadre. En effet, dans ce travail nous allons étudier les transistors CNTFET comme solution de la miniaturisation. L'étude sera répartie en trois chapitres :

Dans le premier chapitre, nous allons étudier en détail les caractéristiques électriques du NMOSFET traditionnel. Cette étude cernerá ses différents régimes de fonctionnement, son modèle mathématique, ainsi que ses caractéristiques intrinsèques comme sa tension de seuil et la pente sous le seuil. A la fin du chapitre nous aborderons les caractéristiques électriques du NMOSFET-SOI, son modèle mathématique de courant ainsi que ces différents types ; entièrement déserté et partiellement déserté.

Dans le deuxième chapitre, on présentera brièvement le carbone nanotube (CNT), ses propriétés physiques, son structure atomique, propriétés électroniques ainsi que le transistor CNTFET classique et ses différents types, à la suite nous examinerons le SB-CNTFET transistor CNTFET à barrière Schottky.

Le chapitre trois ce dernier présente les fruits de notre étude. En effet, ce dernier chapitre sera consacré aux résultats de simulation des différents types de MOSFET et CNTFET pris comme modèle d'étude suivis par une discussion des résultats obtenus.

CHAPITRE I : FONCTIONNEMENT D'UN TRANSISTOR MOSFET

I-1- Introduction :

Durant ce chapitre nous allons aborder les régimes de fonctionnement en circuit du transistor MOSFET normal. Dans ce contexte nous parlerons des définitions de base ainsi que des grandeurs électriques importants relatifs à ce type de composants entre autres sa tension de seuil. A la suite nous parlerons, du fonctionnement des MOSFET-SOI, de leurs avantages quand ils sont placés en circuit ainsi que des phénomènes électriques observés durant leur fonctionnement entre autres l'effet 'kink'.

I -2-Fonctionnement d'un transistor MOSFET classique :

Le transistor MOSFET est le dispositif le plus répandu dans la production actuelle de composants semi-conducteurs, il est le composant de base de tout circuit intégré CMOS (Complementary MetalOxide Semiconductor). La technologie CMOS est basée sur l'utilisation de deux types de transistors complémentaires : le transistor n-MOSFET dont les porteurs sont des électrons et le transistor p-MOSFET dont les porteurs sont des trous. Elle englobe plus de 80 % de la production mondiale de circuits intégrés, grâce aux qualités de faible consommation et de faible taille. Le principe de fonctionnement d'un transistor MOSFET (Metal Oxide Semiconductor Field Effect Transistor) est basé sur le concept de la modulation de la conductivité des matériaux mise en évidence par J. E. Lilienfeld en 1928 [1]. Il n'a cependant pu être exploité qu'à partir des années 60, lorsque des interfaces silicium/oxyde ont été suffisamment de bonne qualité et que Jack Kilby a fabriqué le premier circuit intégré [2]. Le transistor MOSFET à enrichissement, qui est représenté sur la figure (I.1), se caractérise par le fait que la grille, par l'effet de champ électrique, contrôle à travers l'oxyde de grille, la densité de porteurs dans le canal du dispositif et ainsi l'intensité du courant. Le canal est relié de part et d'autre à deux régions fortement dopées entre lesquelles est appliquée une tension donnant lieu à la circulation du courant.

Le transistor MOSFET est utilisé dans de multiples applications. Il est utilisé comme amplificateur dans certaines applications analogiques. Il est aussi utilisé comme bit pour stocker et lire l'information sous forme de zéros et uns. Son utilisation est plus importante dans les applications numériques comme élément de base de différentes fonctions logiques (porte AND, OR,...). On peut distinguer deux catégories importantes d'applications :

- Applications haute performance HP (« *High Performance* ») comme le microprocesseur pour les ordinateurs de bureau pour lesquelles la fréquence de commutation du transistor est privilégiée par rapport à la consommation.
- Applications à basse consommation avec un compromis sur la fréquence de commutation du transistor :
- Les dispositifs à faible puissance active LOP (« *Low Operating Power* »), ce sont des dispositifs à basse consommation en fonctionnement tels que les ordinateurs portables.
- Les dispositifs à faible puissance statique LSTP (« *Low Standby Power* »); ce sont des dispositifs nécessitant un faible courant de repos (lorsque le transistor est bloqué) pour obtenir une meilleure autonomie tels que les téléphones portables.

I-2-1- Principe de base d'un transistor MOSFET :

I-2-1-1- Effet de champ :

Le principe de fonctionnement d'un transistor MOSFET repose sur l'effet de champ, qui consiste à moduler de façon électrostatique une densité de charges mobiles dans un semi-conducteur. La modulation est provoquée par un champ électrique perpendiculaire à la direction du mouvement de ces charges. La structure se décompose en trois parties principales : l'électrode de grille (G) qui commande l'intensité du champ électrique vertical et par conséquent la densité de charges mobiles, les électrodes de source (S) et de drain (D) séparées par un canal de conduction qui conduit le courant en fonction de son niveau de remplissage en charges mobiles [3]. Dans tout ce qui suit le transistor est considéré de type n.

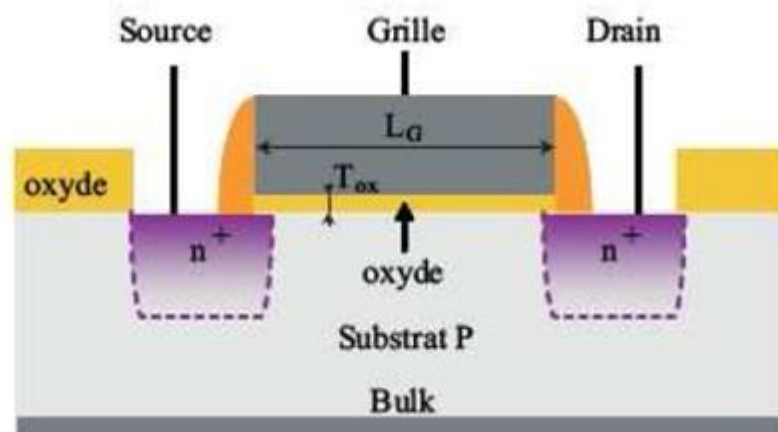


Figure (I.1) : Représentation schématique d'un transistor MOSFET [3].

La grille est polarisée par la tension grille-source V_{GS} . Les charges sont mises en mouvement par l'intermédiaire du champ électrique longitudinal lié à l'application d'une tension entre le

drain et la source V_{DS} . La source sert de référence de potentiel. Les tensions V_{GS} et V_{DS} permettent de contrôler le courant qui passe dans le canal. Le dopage du canal N_A , la profondeur X_j des jonctions source et drain, la longueur de masque L entre drain et source, la largeur de masque W et l'épaisseur T_{ox} de l'oxyde de grille sont les paramètres caractéristiques d'un transistor MOSFET conventionnel. Avec la réduction de la taille du transistor, la différence entre la longueur du masque L et la longueur effective L_E n'est plus négligeable. De même pour la largeur effective du canal W_E . Deux paramètres correctifs sont alors introduits. Ils sont définis par : $\Delta L = L_E - L$ et $\Delta W = W - W_E$.

I-2-2-2- Régimes de fonctionnement:

L'application d'un potentiel électrique sur la grille modifie les courbures de bandes d'énergie du semi-conducteur. La figure (I.2) représente un diagramme de bande d'énergie d'un transistor n-MOSFET dans le régime des bandes plates et dans le régime de faible

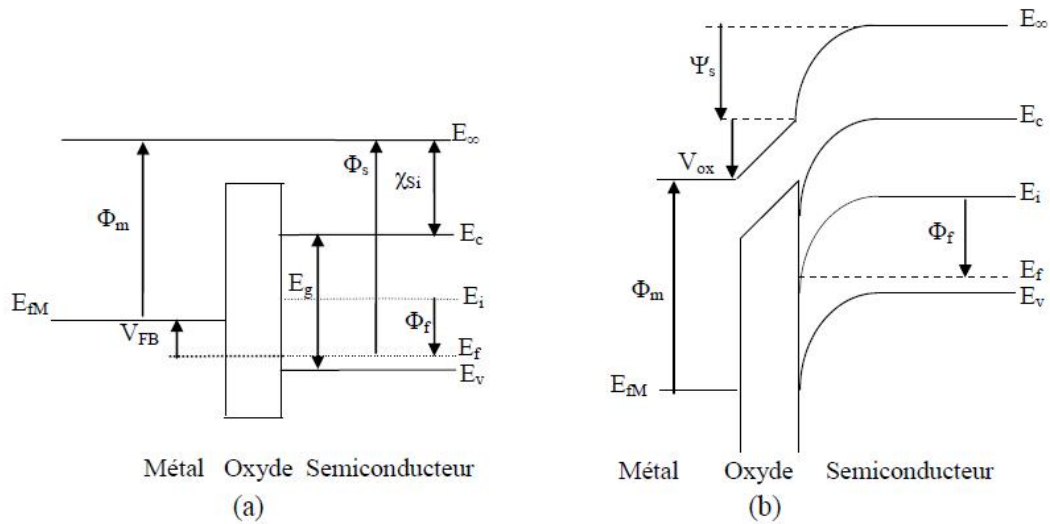


Figure (I.2) : Diagramme de bande d'un transistor n-MOSFET en régime de bandes plates (a) et en régime de faible inversion (b), χ_{Si} est l'affinité électronique, E_g est la largeur de la bande interdite. E_c , E_v , E_i sont les énergies de bas de la bande de conduction, haut de la bande de valence et l'énergie intrinsèque du silicium. Φ_m , Φ_s sont les travaux de sortie du métal et du semi-conducteur, Φ_f est le potentiel de Fermi. Ψ_s est la différence de potentiel entre la surface et le volume (le potentiel de surface).

Le niveau de Fermi est donné par : $E_F = E_{Fi} - q\Phi_f$, le potentiel de Fermi Φ_f est donné par l'équation suivante dans le cas d'un dopage modéré [1]:

$$\Phi_f = \frac{KT}{q} \times \ln \frac{N}{n}$$

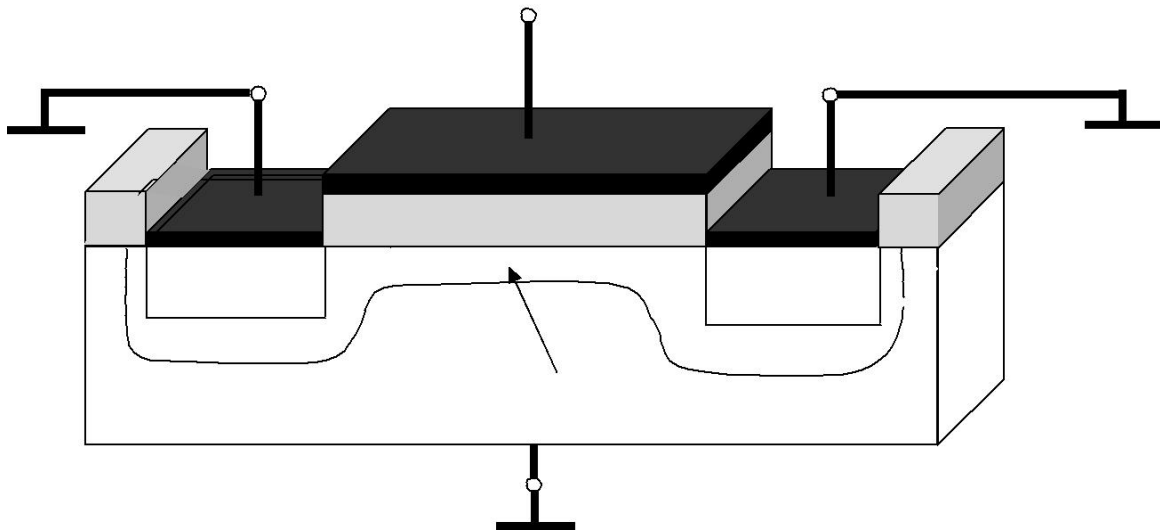
K est la constante de Boltzmann, T est la température, q est la charge élémentaire et n_i est la concentration intrinsèque de porteurs dans le matériau. En fonction de la polarisation de la grille, on distingue différents régimes, séparés par deux valeurs, celle de la tension de bandes plates V_{FB} ($\Psi_s = 0$) et celle de la tension de seuil V_{TH} ($\Psi_s = 2 \Phi_f$):

a. Zone bloquée:

Lorsque $V_G \leq 0$, la couche de type p proche de l'isolant est en régime d'enrichissement en trous (porteurs majoritaires), et le trajet Source-Drain est constitué de deux jonctions p – n (diodes) tête-bêche. Il est donc non conducteur et on dit alors que le transistor est bloqué [4].

b. Zone de déplétion:

Pour $0 \leq V_G < V_T$, où V_T est une tension de seuil (positive pour un n-MOSFET), et pour V_{DS} nul ou faible, la couche proche de l'isolant passe progressivement en mode de déplétion, le trajet Source-Drain est bloqué mais se rapproche de la conduction [4].

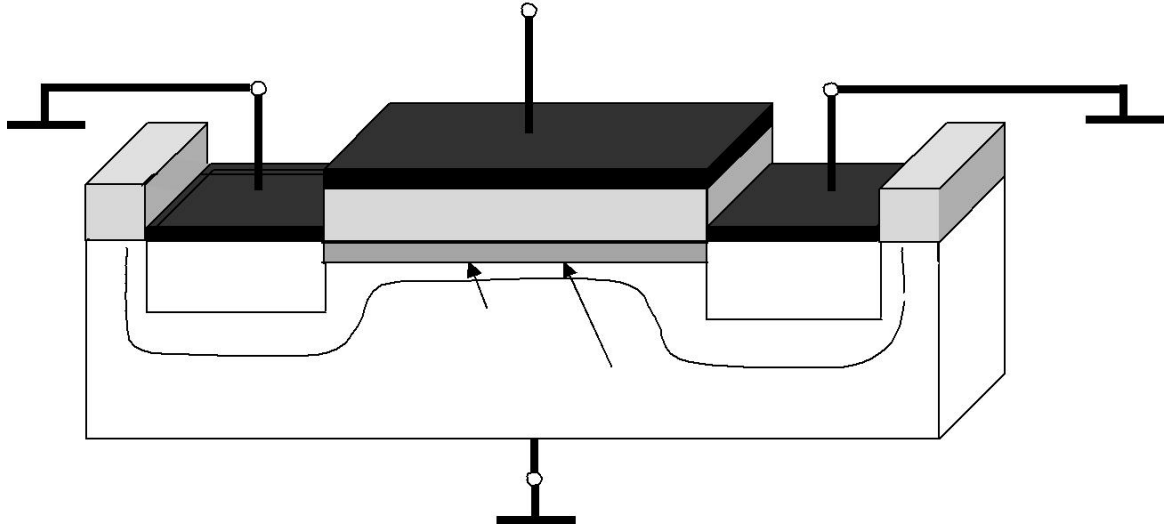


Figure(I.3) : Transistor n-MOSFET avec une zone de déplétion [4].

a. Zone d'inversion:

Pour $V_G > V_T$ et V_{DS} nul ou faible, la structure MOS est en régime d'inversion, un canal de type n se forme au voisinage de l'interface avec l'isolant et constitue un circuit conducteur entre les deux zones p⁺. Un courant électronique peut alors circuler de la Source vers le Drain. Le transistor est alors dit conducteur ou passant. Il faut noter que $I_s = I_D$

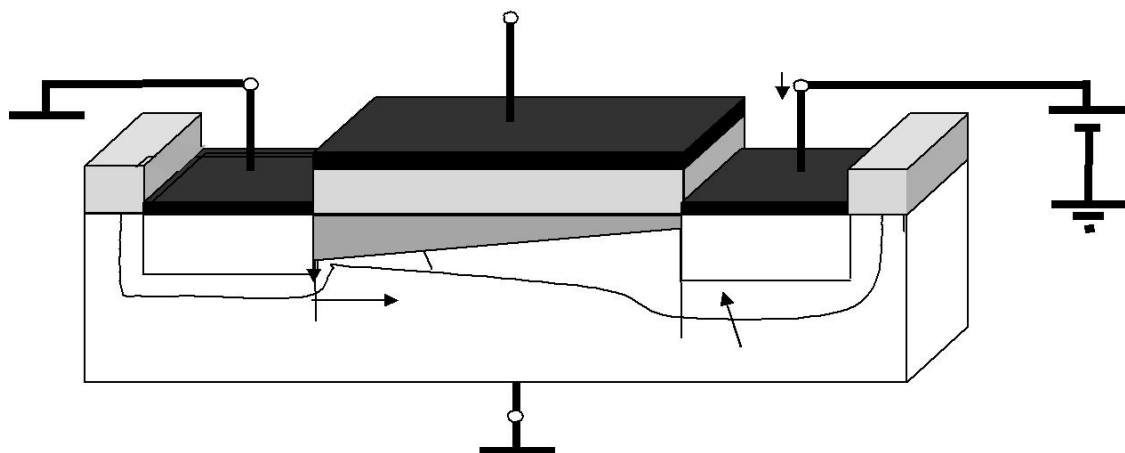
puisque la Grille est isolée, et que le substrat est par hypothèse hors circuit. La valeur de ce courant commun à la Source et au Drain dépend des potentiels V_{GS} et V_{DS} [4].



Figure(I.4) : Transistor n-MOSFET avec canal d'inversion [4].

b. résistive (ohmique):

Tant que $V_{GS} > V_T$ et $V_{GD} > V_T$ (et donc pour $V_{DS} < V_{GS} - V_T$), le canal s'étend sur toute la longueur entre la Source et le Drain et se comporte comme une résistance ($I_S = I_D \approx V_{DS}/R$) dont la valeur R est indépendante de V_{DS} , mais varie avec la tension de commande V_{GS} . La densité électronique dans le canal augmente lorsque la tension de grille augmente, donc la conductivité du canal augmente elle aussi. On dit que le transistor est en mode résistive [4].



Figure(I.5) : Transistor n-MOSFET en mode résistif [4].

c. Zone de saturation:

Pour de fortes valeurs de V_{DS} on maintient V_G ($V_{GS} > V_T$) et on augmente V_D qui se rapproche de V_G . A partir d'un certain potentiel V_{Dsat} appelé tension de pincement, la condition $V_{GD} > V_T$ ne sera plus satisfaite, il n'y aura plus d'inversion de population au voisinage du Drain, et l'épaisseur de canal sera localement réduite à zéro. Au-delà de cette tension de pincement, le point de pincement se déplace vers la Source de sorte que la tension V_{Dsat} apparaît appliquée aux extrémités du canal dont la longueur est diminuée de ΔL , l'excédent de tension ($V_D - V_{Dsat}$) étant chuté dans une zone désertée (diode en inverse de forte résistivité) de longueur ΔL [4].

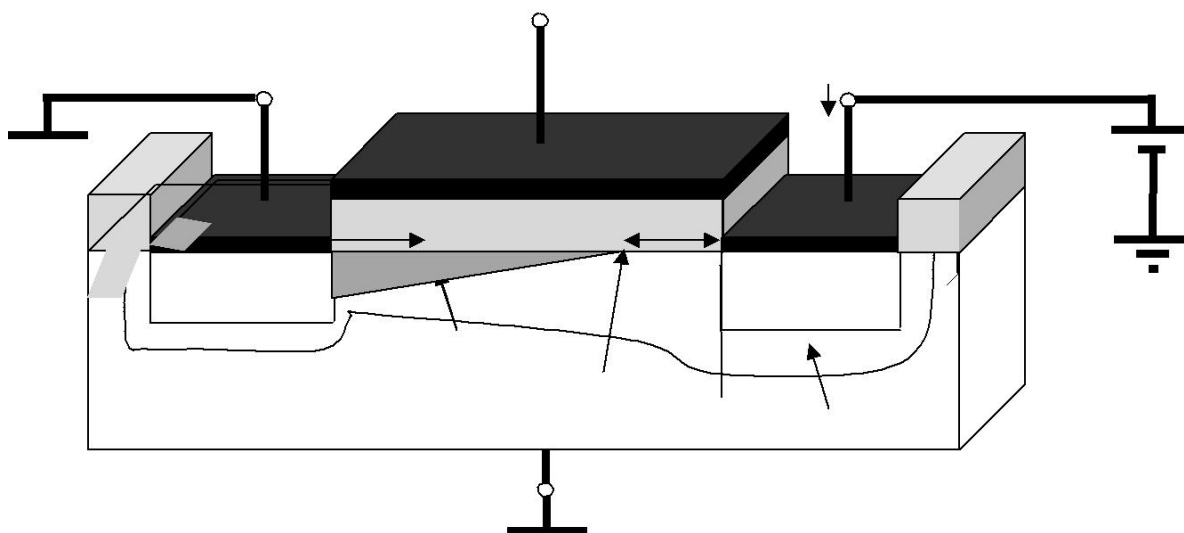


Figure (I.6) : Transistor n-MOSFET en mode saturé [4]

La présence de cette zone désertée en série avec le canal conducteur ne diminue pas le courant car les électrons qui parviennent au point de pincement sont aspirés par le fort champ électrique pour être injectés dans le Drain. Dans la mesure où $\Delta L \ll L$, le courant I_D est principalement déterminé par la conductivité du canal et la différence de potentiel V_{Dsat} , et ce courant reste approximativement constant lorsque V_D excède de V_{Dsat} . Le transistor est en mode saturé.

I-2-1-3- Potentiel de bandes plates :

Les structures MOS ont des oxydes contenant des charges fixes distribuées, de sorte que même si $V_{GS} = 0$, il y a toujours une courbure de bande à la surface du semi-conducteur. En général, ces charges d'origines technologiques sont positives (Na^+ , K^+ ,...). La valeur de la

tension V_{GS} qu'il faut appliquer pour contrecarrer l'effet de ces charges s'appelle la tension de bande plate V_{FB} .

L'équation de continuité des potentiels s'écrit alors [5]:

$$V_{GS} = V_{FB} + \psi_s - \frac{Q_{sc}}{C_{ox}} \quad (1)$$

Q_{sc} est la charge du semi-conducteur. C_{ox} est la capacité de l'oxyde de grille, elle est donnée par :

$$C_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{T_{ox}} \quad (2)$$

ϵ_{ox} , ϵ_0 sont respectivement vide. La tension V_{FB} est non seulement la permittivité relative de l'oxyde et aussi à la déférence des travaux déliée à la densité de charge de l'oxyde.

Si $\psi_s = 0$, on aura :

$$\phi_{ms} = \phi_m - \phi_s \quad (3)$$

$$\text{Et } V_{FB} = \phi_{ms} - \frac{Q_{ox}}{C_{ox}}$$

La valeur de la tension V_{FB} permet de déduire la quantité de charges fixes présentes dans les oxydes. La structure MOS réelle se distingue de la structure idéale à cause de l'état de l'interface SiO_2/Si qui n'est pas parfaite. La tension V_{GS} est donc [5] :

$$V_{GS} = V_{FB} + \psi_s - \frac{Q_{inv} + Q_{dep} + Q_{it}}{C_{ox}} \quad (4)$$

La charge d'états d'interface excédentaire est donnée par: $= |Q_{it}| = q N_{it}$, N_{it} est la densité de défauts à l'interface, Q_{inv} et Q_{dep} sont respectivement la charge d'inversion et la charge de déplétion.

II-2-1-4- Tension de seuil :

La tension de seuil d'un transistor MOSFET est définie comme la tension qu'il faut

appliquer pour que le potentiel de surface Ψ_s soit égal à $2\Phi_f$. La tension de seuil est donnée par la somme de la tension de bandes plates et de la chute du potentiel sur le diélectrique et celle sur la zone de déplétion [5]:

$$V_{th} = V_{FB} + \phi_d + \frac{Q_{dep}}{C_{ox}} \quad (5)$$

ϕ_d représente la hauteur de la barrière entre la source et le canal. Lorsque cette barrière est de l'ordre de quelques kT/q (énergie thermique des porteurs dans la source), les porteurs peuvent circuler librement dans le canal. Cette hauteur de barrière dépend aussi des dopages de la source et du canal.

I-2-1-5- Pente sous le seuil :

Quand le transistor est en régime de fonctionnement de faible inversion. L'inverse de la pente sous le seuil S , exprimé en mV/décade, informe de combien il faut diminuer la tension V_{GS} pour réduire le courant sous le seuil d'une décade. Elle est l'inverse de la pente, au sens mathématique de la droite $\log(I_D) = f(V_{GS})$ [1]:

$$S = \frac{kT}{q} \times \ln 10 \left[1 + \frac{C_{dep}}{C_{ox}} + \frac{C_{it}}{C_{ox}} \right] \quad (6)$$

C_{dep} est la capacité d'associée aux états d'interface. Par sa dépendance en C_{it} , la pente sous le seuil est révélatrice de la qualité de l'interface. La pente idéale, en négligeant C_{dep} et C_{it} devant C_{ox} , vaut $S = kT/q \ln 10$, ce qui correspond à environ 60 mV/décade à température ambiante.

I-2-1-6- Courants I_{OFF} et I_{ON} :

Le comportement électrique idéal d'un transistor est celui d'un interrupteur parfait dans les applications logiques. Si les tensions appliquées sur la grille V_{GS} et sur le drain V_{DS} sont nulles, l'interrupteur est bloqué, le courant de drain doit être nul, si $V_{GS} = V_{DS} = V_{DD}$ (tension nominale), l'interrupteur est passant et le courant de drain I_{ON} est maximal. Dans le comportement réel, à l'état bloqué, le courant de drain n'est pas nul, il y a un courant de fuite I_{OFF} qui circule, qui est limité par la diffusion coté source et drain. La meilleure qualité du transistor MOSFET se concrétise par un courant de fuite le plus faible, un courant I_{ON} le plus fort et un passage le plus rapide de l'état OFF à l'état ON . La figure 1-3 illustre une

caractéristique $I_D (V_{GS})$ d'un transistor MOSFET. Le courant I_{OFF} est dépendant de la pente sous le seuil, il est donné par la relation suivant:

$$\log(I_{OFF}) = \log(I_{th}) - \frac{V_{th}}{S} \quad (7)$$

Avec I_{TH} : le courant de drain à $V_{GS} = V_{TH}$ [5]

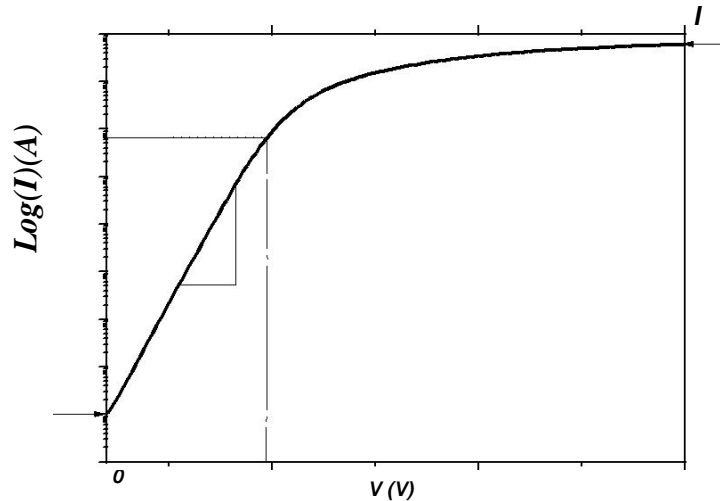


Figure (I .7):Caractéristique $I_D (V_{GS})$ d'un transistor MOSFET [5].

I-2-2- Modélisation d'un transistor MOSFET classique :

En fonction de l'importance de la polarisation du drain, on peut distinguer principalement deux régimes : régime linéaire et régime de saturation [5] [6] [7].

I-2-2-1- Régime linéaire :

Lorsque la tension V_{DS} est faible et négligeable devant la tension V_{GS} , l'effet du champ est quasi uniforme le long du canal. Le canal se comporte donc comme une résistance indépendante de la polarisation du drain. Ce régime se caractérise par une dépendance linéaire du courant en fonction de la tension V_{DS} .

I-2-2-2- Cas de faible inversion :

En régime de faible inversion, le courant de drain V_{DS} varie exponentiellement avec V_{GS} et il est donné par:

$$I_D = \frac{W}{L} \frac{KT}{q} \mu_0 C_{dep} V_{D'S'} \exp \left[\frac{qA(V_{GS} - V_{th})}{KT} \right] \quad (8)$$

μ_0 est la mobilité à faible champ électrique. Le facteur A est donné par :

$$A = \frac{C_{ox}}{C_{ox} + C_{dep} + C_{it}} \quad (9)$$

La transconductance est donnée par la formule suivante :

$$g_m = \frac{q}{KT} A I_D \quad (10)$$

A une tension de drain V_{DS} constante, elle est donnée par

$$g_m = \frac{dI_d}{dV_{GS}} \quad (11)$$

I-2-2-3- Cas de forte inversion :

En régime de forte inversion, le courant de drain s'écrit comme suit :

$$I_D = \frac{W}{L} \mu_{eff} Q_{inv} V_{D'S'} \quad (12)$$

μ_{eff} est la mobilité effective des porteurs dans le canal qui dépend de la charge d'inversion Q_{inv} , elle est donnée par :

$$\mu_{eff} = \frac{\mu_0}{1 + \frac{Q_{inv}}{Q_c}} \quad (13)$$

Q_c est la charge critique qui caractérise la diminution de la mobilité aux fortes tensions de grille. Une valeur typique de Q_c est de l'ordre de $10^{13} \text{ q}\cdot\text{cm}^{-2}$. En régime de forte inversion, la charge d'inversion peut s'écrire :

$$Q_{inv} = -C_{ox} \left(V_{GS'} - V_{Th} - \frac{V_{D'S'}}{2} \right) \quad (14)$$

La mobilité effective devient alors :

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_0 \left(V_{GS'} - V_{Th} - \frac{V_{D'S'}}{2} \right)} \quad (15)$$

$$\theta_0 = \frac{C_{ox}}{Q_c} \epsilon$$

Où

Est le facteur de réduction intrinsèque de la mobilité. On obtient donc la formule du courant de drain suivante :

$$I_D = \frac{\beta V_{D'S'} \left(V_{GS'} - V_{Th} - \frac{V_{D'S'}}{2} \right)}{1 + \theta_0 \left(V_{GS'} - V_{Th} - \frac{V_{D'S'}}{2} \right)} \quad (16)$$

Avec $\beta = \frac{W}{L} \mu_0 C_{ox}$

En prenant en compte que $R_S = R_D = R_{SD}/2$, le courant

$$I_D = \frac{\beta V_{DS} \left(V_{GS} - V_{Th} - \frac{V_{DS}}{2} \right)}{1 + \theta_1 \left(V_{GS} - \frac{V_{DS}}{2} \right)} \quad (17)$$

Où

$$\theta_1 = \theta_0 + \beta(R_S + R_D)$$

La transconductance du transistor devient :

$$g_m = \frac{\beta V_{DS}}{\left[1 + \theta_1 \left(V_{GS} - V_{TH} - \frac{V_{DS}}{2}\right)\right]^2} \quad (18)$$

I-2-2-4- Régime de saturation :

Lorsque la tension de drain V_{DS} augmente, la différence de potentiel entre le drain et la grille diminue, en conséquence la charge d'inversion diminue en s'approchant du drain. Pour une valeur de la tension appliquée sur le drain proche de $V_{GS} - V_{TH}$, le canal à proximité du drain est pincé et le courant de drain reste constant avec l'augmentation de V_{DS} (dans le cas idéal). Le courant de drain est alors donné par :

$$I_{Dsat} = \int_0^{V_{DS}} \frac{W}{L} \mu_{eff} Q_{inv} d\Phi_c \approx \frac{1}{2} \beta V_{Dsat}^2 \quad (19)$$

Avec: $Q_{inv} = C_{ox} (V_{GS} - V_{Th} - \Phi_c)$, Φ_c étant la différence entre les quasi niveaux de Fermi des électrons et des trous.

Dans le cas réel, le courant de drain ne reste pas constant mais continue à augmenter légèrement avec la polarisation du drain. L'augmentation du courant est due à l'éloignement du point de pincement par rapport au drain, à la réduction de la tension de seuil avec la tension V_{DS} et à l'effet d'avalanche. Le point de pincement se caractérise par la disparition de l'inversion. Tout excédent de la tension V_{DS} au-delà de V_{Dsat} développe, autour du drain, une zone de charge d'espace d'une épaisseur:

$$\lambda = \lambda_0 \ln \left[1 + \frac{V_{DS} - V_{Dsat}}{V_{Dsat}} \right] \quad (20)$$

Avec :

$$\lambda_0 = \sqrt{\left(\frac{\epsilon_{Si}}{\epsilon_{ox}} X_j T_{ox} \right)}$$

La zone de charge d'espace minimale.

Le développement de la zone de charge d'espace, d'épaisseur λ , implique un

raccourcissement du canal inversé dont la longueur devient $L - \lambda$ au lieu de L , donc au régime de saturation, on aura un courant de drain qui sera de la forme suivante :

$$I_{DS} = I_{Dsat} \cdot \frac{L}{L - \lambda} = I_{Dsat} \left[1 + \frac{V_{DS} - V_{Dsat}}{V_E} \right] \quad (21)$$

Où $V_E = \frac{L}{\lambda_0} V_{Dsat}$ et la tension d'early.

Est la tension d'Early, plus cette tension est élevée, meilleures seront les performances du transistor.

I-2-2-5- Effet tunnel :

Quand l'oxyde de silicium atteint des épaisseurs nanométriques, des courants de fuite tunnel de grille peuvent survenir. Pour des épaisseurs d'environ 3 nm, il peut y avoir un courant tunnel Fowler-Nord Heim. Pour des épaisseurs inférieures à 3 nm, un courant tunnel direct peut apparaître.

D'autres courants peuvent être générés à cause des défauts dans le volume de l'oxyde ; tels que la conduction Poole Frenkel ou la conduction par sauts « Hopping » [8], [9]. Un autre courant tunnel entre la source et le drain peut apparaître quand les longueurs de grilles sont seulement de quelques nanomètres. La barrière de potentiel source-canal-drain devient si faible que les porteurs peuvent directement passer par effet tunnel de la source au drain, même sous faible polarisation de grille et/ou drain. Il s'agit ici d'une des limites physiques les plus fondamentales puisque cet effet tunnel parasite est susceptible d'affecter la caractéristique sous le seuil et donc le courant I_{OFF} des dispositifs ultimes de la microélectronique [10].

I-3-Fonctionnement des transistors MOSFET sur SOI :

Cette partie présente les propriétés physiques et le fonctionnement électrique des transistors sur substrat SOI partiellement déserté et totalement déserté.

I-3-1- Transistors partiellement et totalement désertés :

On peut classer les transistors SOI en deux catégories suivant l'épaisseur de la zone désertée du film de silicium, donnée par la relation suivante:

$$d_{max} = \sqrt{\frac{4 \cdot \epsilon_{Si} \cdot \Phi_F}{q \cdot N_a}} \quad (22)$$

Où Φ_F est le potentiel de Fermi du silicium, ϵ_{Si} est la permittivité et N_a est le dopage en ions accepteurs du film de silicium. Le transistor est qualifié de partiellement déserté (PD) si l'épaisseur du film de silicium est plus importante que d_{max} (ce qui correspond au MOSFET sur substrat massif), et de totalement déserté (TD) dans le cas contraire. Les propriétés électriques sont différentes dans chacun des deux cas.

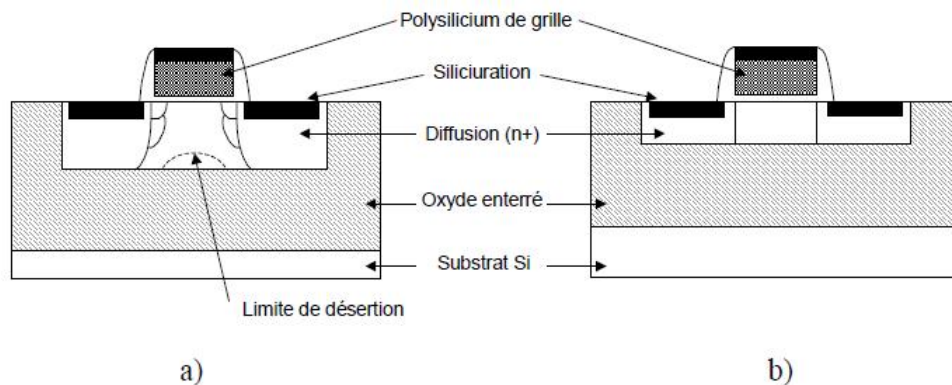


Figure (I.8) : vue en coupe d'un transistor partiellement déserté (a) et totalement déserté (b) [11].

Pour les transistors SOI partiellement désertés, le film actif de silicium présente une zone interne neutre, située entre la zone de désertion et la couche d'oxyde enterré, qui empêche toute interaction entre les faces avant et arrière du transistor. Cependant, son potentiel est flottant puisqu'elle n'est reliée à aucun accès du transistor. Cela induit des phénomènes particuliers, tels que l'effet « *kink* » et le transistor bipolaire parasite, qui sont fortement réduits dans le cas des transistors totalement désertés qui n'ont pas de zone interne flottante [11].

I-3-2- Propriétés électriques des composants PD et TD :

Cette partie présente les principales propriétés électriques des transistors SOI PD et TD. Tout d'abord, définissons le coefficient α pour les deux types de composants qui est fonction de la capacité d'oxyde de grille C_{ox1} et de la capacité C_b entre le canal d'inversion et la face arrière du substrat (Figure (I.2)) :

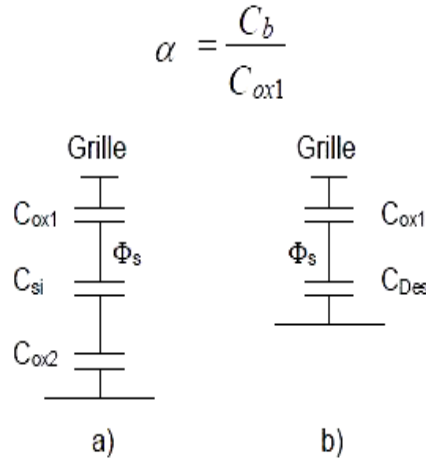


Figure (1.9) : Réseaux de capacités vues de puis la grille pour les MOSFET SOI totalement déserté (a) et partiellement déserté (b) [11].

Ce coefficient α est inversement proportionnel au couplage entre le potentiel de grille et le potentiel de surface Φ_s à l'interface Si-SiO₂. Pour les transistors PD, C_b est constituée par la capacité de désertion du film de silicium C_{DES} . Pour les transistors TD, la zone de désertion atteignant l'oxyde enterré, C_b est donc l'association en série de la capacité du film de silicium C_{si} et de la capacité d'oxyde enterré C_{ox2} .

Le coefficient α est donné par les équations suivantes pour les transistors TD et PD :

$$\alpha_{TD} = \frac{C_{si}C_{ox2}}{(C_{si} + C_{ox2}) \cdot C_{ox1}} \quad (23)$$

$$\alpha_{PD} = \frac{C_{DES}}{C_{ox1}}$$

Le couplage est d'autant meilleur qu' α est faible. Typiquement, sa valeur est presque nulle pour les composants TD et dans la gamme 0,3-0,5 pour les transistors PD et les transistors sur substrat massif. Cependant, α augmente avec les réductions des longueurs de grille, montrant ainsi la perte de contrôle par la grille du potentiel de canal Φ_s , à cause des jonctions de source et de drain [11].

I-3-3- Courant de saturation :

Une expression analytique simple du courant de saturation des MOSFET SOI à canal long est

donnée par [11] :

$$I_{DS} = \frac{W}{L} \frac{\mu C_{ox1}}{2(1+\alpha)} (V_{gs} - V_{th})^2 \quad (24)$$

Où W et L sont respectivement la largeur et la longueur de grille, μ est la mobilité effective des électrons, V_{gs} est la tension grille source et V_{th} est la tension de seuil. A partir de l'équation [III-5], on déduit directement l'expression de la transconductance g_m :

$$g_m = \frac{\partial I_{DS}}{\partial V_{gs}} = I_{DS} = \frac{W}{L} \frac{\mu C_{ox1}}{2(1+\alpha)} (V_{gs} - V_{th}) = \sqrt{2 \frac{W}{L} \frac{\mu C_{ox1}}{(1+\alpha)} I_{DS}} \quad (25)$$

D'après ces équations et à partir des valeurs de α que nous avons données précédemment, on remarque que les composants TD possèdent un courant de saturation et une transconductance 30 à 40 % plus importants que les composants PD et sur substrat massif.

I-3-4- Tension de seuil :

La tension de seuil dans un n-MOSFET SOI est donnée par la formule suivante [12].

$$V_{th1} = \phi_{FB1} + \left(1 + \frac{C_{it1}}{C_{ox1}}\right) 2\phi_F + \frac{\sqrt{4q\epsilon_{si}N_A\phi_F}}{C_{ox1}} \quad (26)$$

C_{Si} , C_{ox} et C_{it} : respectivement capacités de la couche de silicium entièrement déserté de l'oxyde et des états d'interface,

Q_{Si} charge de déplétion.

ϕ_F : potentiel de Fermi,

ϕ_{FB} potentiel de bandes plates.

L'indice 1 indique qu'il s'agit du canal avant.

I-3-5- Mobilité :

Il a été montré que le champ électrique transverse est plus faible pour les transistors TD que pour les transistors PD et sur substrat massif, en particulier au niveau de l'interface

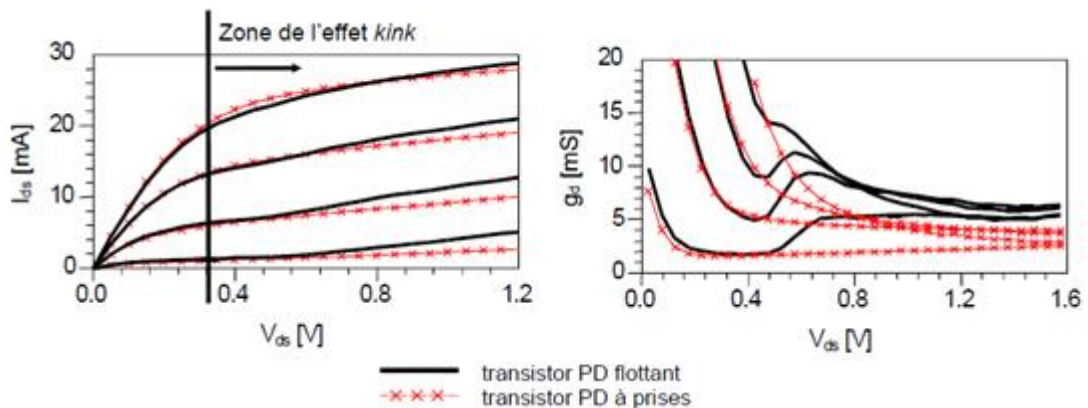
oxyde de grille/silicium. La mobilité des porteurs est ainsi améliorée et le courant accru chez les transistors TD [12].

I-3-6- Effets de substrat flottant :

Les transistors PD présentent une zone interne flottante sous le canal, à l'origine de plusieurs phénomènes physiques parasites en cas d'injection de charges, les principaux étant l'effet « *kink* » et le transistor bipolaire parasite, que nous décrivons ci-après [12].

I-3-7- Effet « *kink* » :

Cet effet s'observe sur la caractéristique statique du courant de drain $I_{DS}=f(V_{DS})$ par un « *kink* » dans la pente (Figure(I.3)). Il est surtout présent dans les transistors NMOSFET-SOI PD qui possèdent une zone interne dont le potentiel est flottant [5] ,[12].



Figure(I.10) : caractéristiques en courant I_{DS} et conductance de sortie g_d des transistors PD avec et sans effet « *kink* » ($L_g=130$ nm, $W=60$ μ m).[12]

Ce phénomène est dû au mécanisme d'ionisation par impact dans les régions de champs électrique élevé près du drain (Figure (I.4)). Au-delà d'une certaine tension de drain, les électrons possèdent suffisamment d'énergie, dans les zones de champ élevé proches du drain, pour générer des paires électron-trou. Les électrons se déplacent rapidement vers le drain tandis que les trous, porteurs majoritaires dans le substrat de type p , migrent naturellement vers la zone interne neutre où le potentiel est moindre. L'accumulation des trous induit une augmentation du potentiel de la zone interne, ce qui va polariser la jonction substrat-source et permettre l'écoulement des charges positives. En conséquence, la tension de seuil du transistor diminue et un courant supplémentaire va s'ajouter au courant de drain I_{DS} , générant

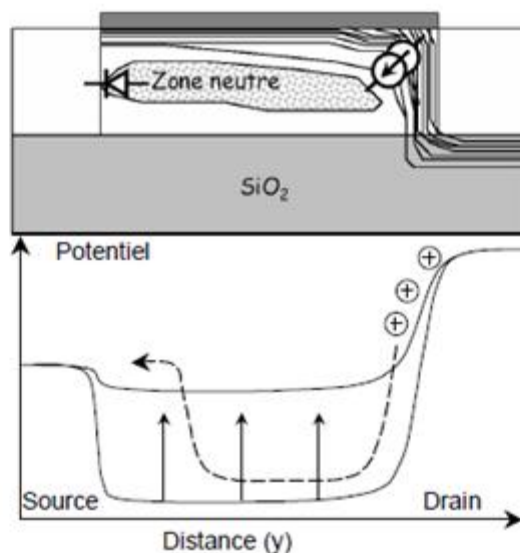


Figure (I.11) : Mécanisme de l'effet «*kink*» des transistors PD [12].

Un «*kink*» sur la pente de la caractéristique $I_{DS} = f(V_{DS})$ et sur la conductance de sortie g_d (Figure I.3).

Une particularité supplémentaire de l'effet «*kink*» est sa dépendance fréquentielle à cause de la capacité de la jonction substrat-source d'une part et de la constante de temps du mécanisme de génération/recombinaison d'autre part. Des mesures de la conductance de sortie dynamique ont montré que ce mécanisme disparaissait au-delà de 1 MHz.

Dans les transistors FD (Figure (I.5)), le champ électrique près du drain est plus faible que dans les transistors PD, ce qui limite le mécanisme d'ionisation par impact, et diminue donc le nombre de paires électron-trou générées. De même que pour les transistors PD, les trous vont se déplacer vers la zone de plus faible potentiel, près de la jonction de source. Mais celle-ci est déjà polarisée (la barrière de potentiel source-substrat est plus faible car la zone active est totalement désertée), si bien que les trous peuvent rapidement se recombiner dans la source sans augmenter le potentiel du substrat interne. Le phénomène existe donc aussi pour les transistors TD, mais les conséquences sont différentes : le potentiel du substrat est inchangé et la tension de seuil n'est pas modifiée. Les transistors n-MOSFET TD en inversion ne présentent donc pas d'effet *kink*.

Quant aux transistors p-MOS sur SOI, ils ne sont pas sujets à l'effet « *kink* » car le coefficient de génération des paires électron-trou pour les trous énergétiques est inférieur à celui des électrons énergétiques.

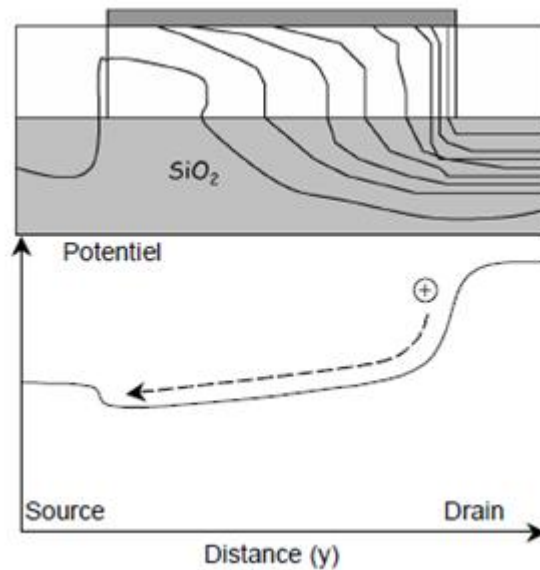


Figure (I.12) : transistor TD sans effet *kink* [12].

I-4- Conclusion :

Dans ce chapitre, nous avons présentés en détail du principe de fonctionnements des dispositifs à effet de champs à grille isolée. En premier lieu nous avons abordés les MOSFETs classiques et leurs différents régimes de fonctionnement (régime bloqué, régime de faible inversion, régime linéaire et régime de saturation) ainsi que le formalisme du courant drain-source I_{DS} relatif à chaque régime. Aussi nous avons parlés de la tension de seuil du transistor et son importance comme paramètre technologique. Plus loin dans ce même chapitre, nous avons parlé aussi du fonctionnement des MOSFETs à technologie SOI et de leurs propriétés électriques qui les rend plus avantageux par rapport au MOSFETs classique. mais la Technologie CMOS actuelle a mis en avant de nombreux défis comme les problèmes d'échelle, des effets de canal court, etc. Les différentes solutions proposées pour résoudre ces comprennent l'utilisation de dispositifs de graphène et nanotubes de carbone (CNT).

CHAPITRE II :SB-CNTFET : transistor à nanotube de carbone à barrière Schottky

II-1- Introduction :

Dans ce chapitre, nous décrirons dans un premier temps l'introduction sur les nanotubes de carbone puis les propriétés physiques et électroniques de ce dernier et son structure atomiques ainsi qu'on présentera brièvement le transistor cntfet et leurs différentes types. Et en fin Nous examinerons le SB-cntfet transistor à barrière Schottky Ces observations pourront ensuite être transposées dans le chapitre suivant sur les de simulation des différents types de mosfet et cntfet.

II-2-Introduction sur les nanotubes de carbone

Les nanotubes de carbone (en anglais CarbonNanoTubes ou CNT) résultent de l'arrangement d'atomes de carbone en longs cylindres creux que l'on se représente en roulant sur elle-même une feuille de graphène : un plan d'atomes de carbone organisés selon un maillage hexagonal (Figure II.1). Le diamètre de ces cylindres est de l'ordre du nanomètre à quelques nanomètres pour des nanotubes monofeuillets ou monoparois [13]. (SWCNT pour Single-WalledCarbonNanoTube), c'est-à-dire constitués d'un seul cylindre par opposition aux nanotubes multifeuillets ou multiparois (MWCNT pour Multi-WalledCarbonNanoTube) constitués de plusieurs cylindres coaxiaux. Les diamètres peuvent alors atteindre plusieurs dizaines de nm La longueur des nanotubes peut varier de 10 nm à quelques cm [13].

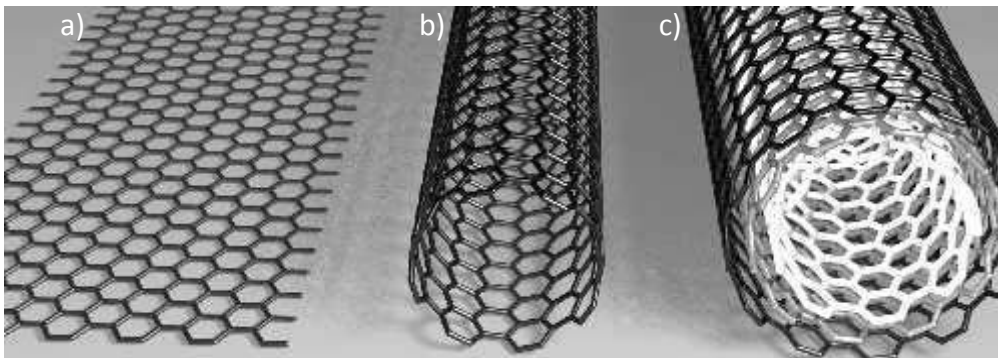


Figure II.1 a) De la feuille de graphène (atomes de carbone arrangés suivant un maillage hexagonal) aux nanotubes b) monoparois et c) multiparois [13].

Les premiers nanotubes fabriqués par l'Homme sont probablement apparus en même temps que la maîtrise du feu, il y a plusieurs centaines de milliers d'années, en quantités infimes dans les résidus de combustion. La première utilisation des nanotubes date probablement de la fabrication des sabres damasquins, il y a au moins 400 ans. Le début de l'engouement pour l'étude de cette molécule date de l'observation de MWCNT par Iijima en 1991 parmi des résidus carbonés (molécules C₆₀ ou « bucky-ball » et autres fullerènes) puis de l'observation de SWCNT par Iijima et Bethune en 1993 [13]. Cependant, il ne s'agit pas des premières preuves de l'existence de nanotubes, du moins de multiparois [13]. En effet, un brevet sur la fabrication de filaments de carbone est déposé en 1889 : les filaments sont obtenus par décomposition d'un gaz carboné. En 1890, P. et L. Schützenberger observent un « volumineux dépôt de carbone », obtenu après chauffage, avec « l'apparence d'une masse gris noirâtre, volumineuse et légère, formée par un feutrage assez lâche de longs filaments, très fins ». En 1903, Pélabon observe au microscope des fils de forme cylindrique. Les plus petits diamètres de fils observés sont de 2 µm. Selon leurs analyses chimiques, cette laine de carbone posséderait à peu près les mêmes propriétés que celle de Schützenberger. Certes dans ces 3 derniers exemples, l'observation au microscope optique ne dévoila que des filaments de carbone de diamètre de l'ordre du µm voire plus gros mais nous savons maintenant qu'ils sont la seconde étape d'un processus dont le premier correspond à la croissance avec catalyseur de nanotubes et la 2^{nde} à un épaississement par dépôt de pyrocarbone sans catalyseur. Ce sont ces fils épaissis qui ont été observés dans ces publications.

Avec les progrès des appareils de mesure et d'observation, un article paru en 1952 dans le Journal of Physical Chemistry russe met en évidence la nature tubulaire de filaments de carbone de taille nanométrique sans pouvoir constater la présence de couches de feuilles de carbone. La rédaction en russe et les tensions politiques de l'époque ont limité la diffusion de l'article au monde scientifique occidental. Selon [13], le caractère « multiparois » est découvert par diffraction électronique en 1958. Enfin, il est possible que l'observation de nanotubes monoparois ait été faite pour la première fois en 1976 (Figure II.2) mais cet aspect ne fut pas revendiqué : une image issue de l'observation au microscope électronique à transmission, MET, montre un tube qui semblerait être monoparois. L'existence d'un tel tube est peu probable selon les calculs de stabilité énergétique pour un diamètre de l'ordre de 5 nm. Cependant, des nanotubes monoparois.

de grand diamètre, obtenus par des procédés de synthèse différents de celui utilisé ici, ont été observés [13].

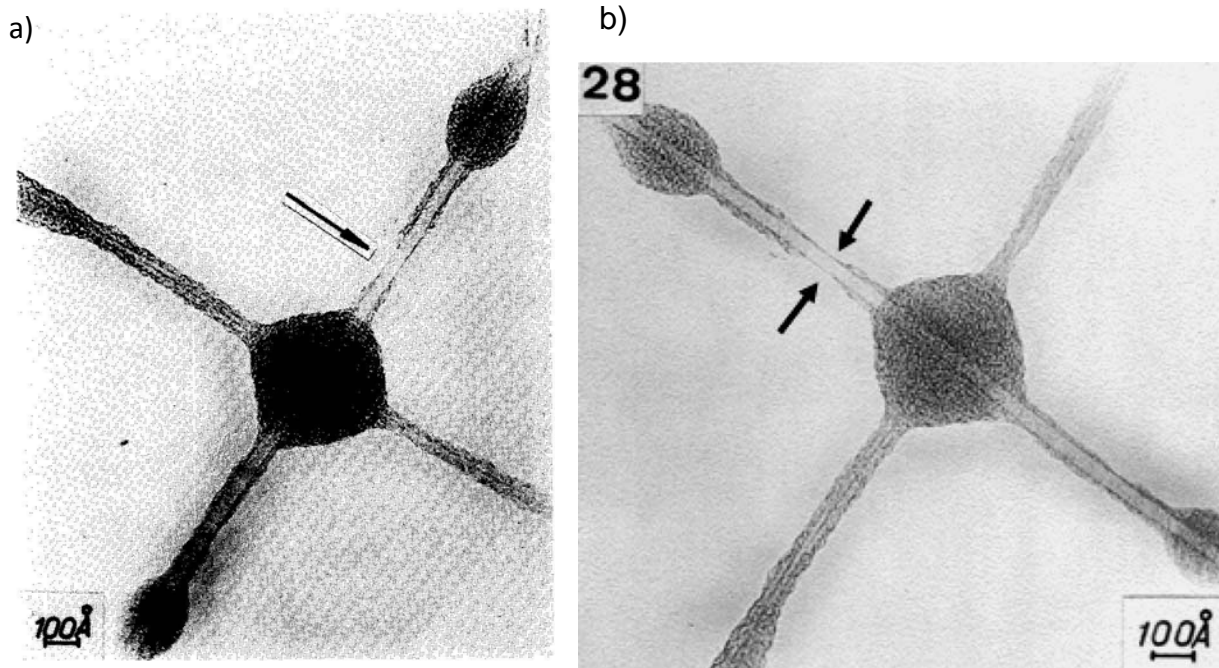


Figure II.2 Images issues d'observation au microscope électronique à transmission : a) images parue dans b) image de la thèse de ENDO rappelée dans [13].

Les premiers transistors à base de nanotubes de carbone sont fabriqués en 1998 à l'université de Technologie de Delft puis par l'équipe d'IBM [13].

II-3-Propriétés physiques du nanotube decarbone

Depuis la découverte du nanotube de carbone (CNT pour *CarbonNanoTube*) par SumioIijima de NEC en 1991 [14], sa structure et ses propriétés physiques et chimiques sont largement étudiée. En particulier, le rapport entre son diamètre et sa longueur qui peut atteindre jusqu'à 1 pour 132 millions [15], en fait un matériau unidimensionnel. De ce fait, en électronique, son étude est simplifiée par rapport à celle du canal surfacique en silicium.

II-3-1Structureatomique

Le nanotube de carbone est classé en deux catégories : le nanotube monoparoi (SWNT pour *Single-WalledCarbon Nanotube*) et le nanotube multiparois (MWNT pour *Multi-WalledCarbon Nanotube*). Un nanotube de carbone monoparoi peut être considéré comme une feuille de graphène (le graphite monocouche) enroulée sur elle-même et fermée aux

extrémités par les demi-sphères de fullerène (C₆₀). Il est défini par l'enroulement du maillagehexagonal donné par le vecteur chiral ou chiralité C (la figure 1b). Le vecteur est

décomposé en deux vecteurs directeurs du système cristallin : a_1 et a_2 , soit : $n \cdot a_1 + m \cdot a_2$. En pratique, la chiralité s'énonce selon le couple d'entier (n, m) . Si un des deux entiers est nul, les nanotubes monoparois sont nommés "zigzag" ; si $m = n$, les nanotubes monoparois sont nommés "armchair" ; pour tous les autres cas, ils sont dits "chiraux". À partir de la chiralité, le diamètre d'un nanotube monoparois est exprimé par Eq. 1 [16]:

$$d = \frac{a_0}{\pi} \sqrt{n^2 + nm + m^2} \quad (1)$$

où $a_0 = 3a_{CC} \approx 0,246$ nm avec a_{CC} la distance entre deux atomes de carbone adjacents égale à 0,142 nm [14]. Un nanotube multiparois est constitué de plusieurs SWNTs enroulés l'un dans l'autre avec chacun une chiralité différente. Le diamètre du MWNT peut varier de quelques à quelques dizaines de nanomètres.

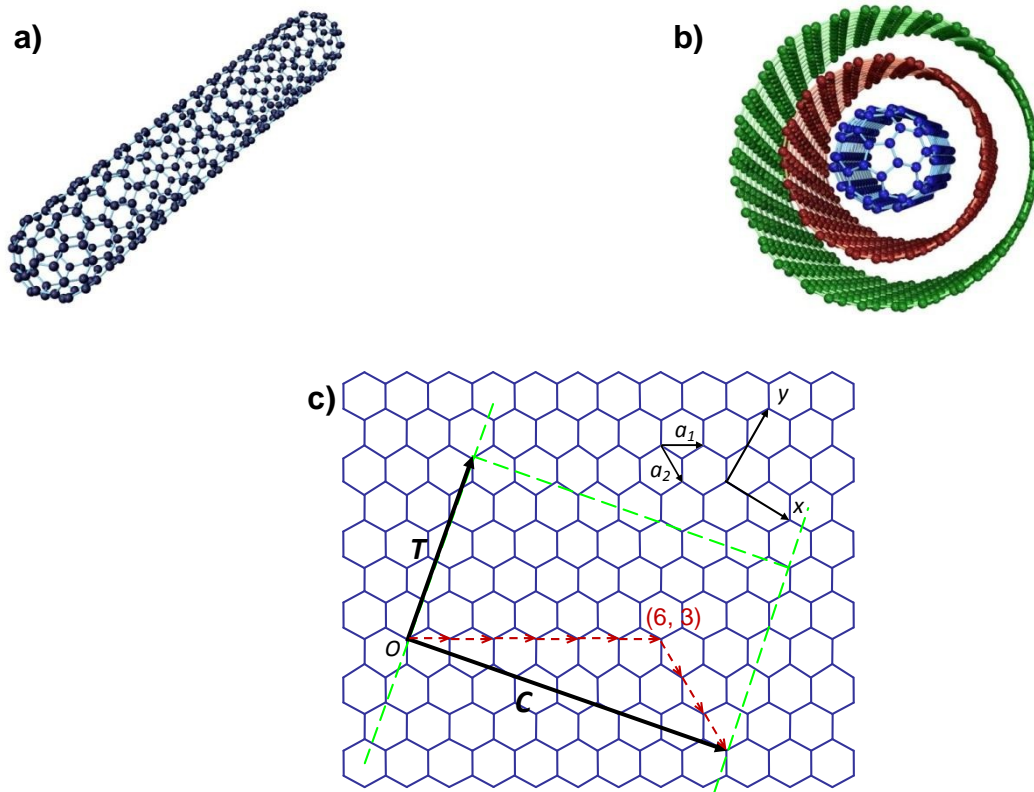


Figure II.3 – Structure atomique d'un nanotube de carbone monoparois a) et multiparois b) (SaitoLab., Université de Nagoya). c) Enroulement d'un SWNT sur le maillage cristallin de graphène et définition de la chiralité (n, m) associée au vecteur C (dans le cas de la figure, $n=6$ et $m=3$) et des vecteurs directeurs a_1 et a_2 . Le vecteur de translation T suit l'axe de nanotube [16].

En nanoélectronique, utilisation des nanotubes de carbone est restreinte au SWNT. Dans la suite de ce chapitre, seules les propriétés électroniques et optoélectroniques des SWNTs sont décrites.

II-3-2 Propriétés électroniques

Les propriétés électroniques remarquables des nanotubes de carbone monoparoï permettent de fabriquer des interconnexions et des via par les métalliques [17] ou des diodes [18] et des transistors selon leur nature métallique ou semi-conductrice. Un nanotube monoparoï peut être semi-conducteur ou métallique selon sa chiralité. Comme le montre le diagramme des bandes d'énergie du graphène représenté figure 1.2a et b [16]. Dans la zone de Brillouin, la bande de conduction π^* et la bande de valence π convergent aux points K et forment des vallées. Au point K, la différence entre les deux bandes décrit la bande interdite du nanotube. Selon la vue en coupe d'une vallée présentée figure 1.2c et d, si les courbes des deux bandes se croissent ou si la différence est inférieure à quelques dizaines de meV, alors le nanotube présente des propriétés métalliques ; sinon, le nanotube présente des propriétés semi-conductrices. Le niveau de Fermi se situe dans le milieu de la bande interdite d'un nanotube semi-conducteur.

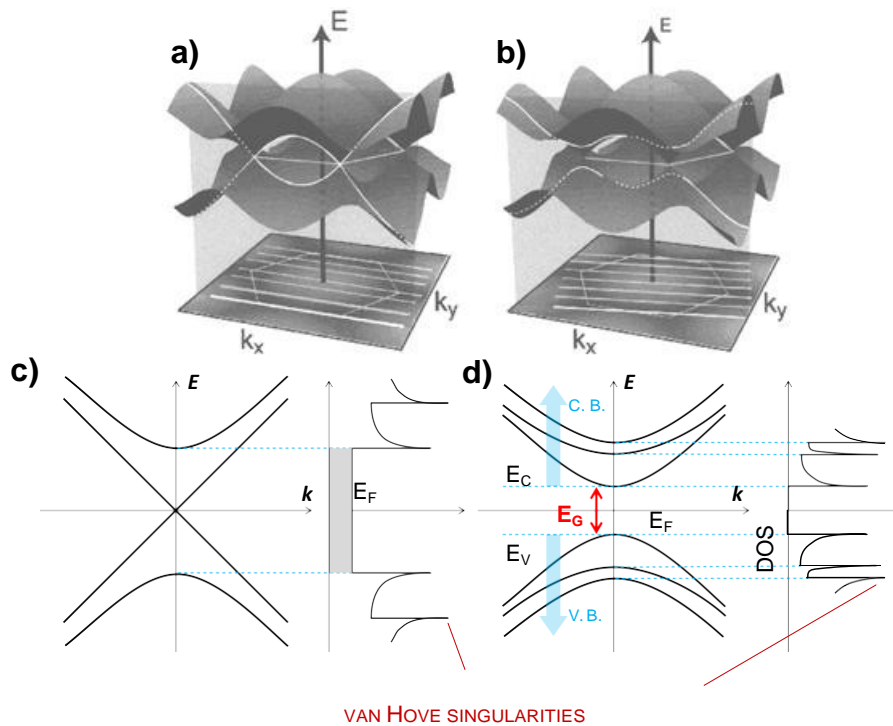


Figure II.4 – Le schéma de bandes d'énergie d'une feuille de graphène dans la zone de Brillouin a) cas métallique, b) cas semi-conducteur. Schémas de bandes d'énergie du nanotube et de la densité d'état c) cas métallique et d) cas semi-conducteur[14].

Les propriétés électroniques des CNTs dépendent de la chiralité (n, m) selon les relations suivantes :

- Lorsque $n = m$, le nanotube est métallique;
- Lorsque $n - m = 3i$ (avec i est un entier), le nanotube a une faible bande interdite, on

considère qu'il a un comportement métallique;

- Lorsque $n - m \neq 3i$, le nanotube est semi-conducteur.

D'après ces relations tous les nanotubes zigzag sont métalliques. De plus, considérant l'ensemble des chiralités possibles, un tiers de nanotubes est métallique. La conductance d'un SWNT est donnée par la formulation de Landauer-Buttiker décrivant la conduction balistique d'un matériau unidimensionnel [19] :

$$G = \frac{2e^2}{h} \cdot \sum_i^N T_i \quad (2)$$

où $2e^2/h$ est l'unité quantique de conductance, et T_i est la transmission du $i^{\text{ème}}$ canal de conduction. Dans le cas optimal où $T_i = 1$ et que deux canaux minimum conduisent [20], la conductance théorique est $G = 4e^2/h$.

La chiralité d'un SWNT détermine les valeurs de la bande interdite, de la densité d'état et aussi de la résistance quantique minimale. La bande interdite est exprimée en

$$E(k) = \pm V_{pp\pi} \sqrt{3 + 2\cos(k \cdot a) + \frac{1}{4} \left(2\cos(k \cdot a) + \frac{1}{2} \right)^2} \quad (3)$$

résolvant l'Hamiltonien de la cellule unitaire hexagonale de graphène [16]:

L'énergie $V_{pp\pi}$ représente la liaison chimique entre deux atomes de carbone voisins. Et sa valeur varie selon les auteurs entre 2,5 et 3,03 eV (3,03 eV étant celle de graphène) .

a_1 et a_2 sont les vecteurs directeurs décrit comme :

$$\begin{aligned} \vec{a}_1 &= a_0 \left(\frac{\sqrt{3}}{2} \vec{x} + \frac{1}{2} \vec{y} \right) \\ \vec{a}_2 &= a_0 \left(\frac{\sqrt{3}}{2} \vec{x} - \frac{1}{2} \vec{y} \right) \end{aligned} \quad (4)$$

k est le vecteur d'onde qui est composé par le vecteur longitudinal; k_L selon l'axe du nanotube (voir fig. 1.2) et par le vecteur radial k_R :

$$\vec{k} = r \frac{\vec{k}_R}{|\vec{k}_R|} + k_{quant} \vec{k}_L \quad (5)$$

k_{quant} est l'entier de la quantification du vecteur d'onde et la composante radiale r n'intervenant pas dans le calcul la bande interdite, k ne dépend plus que de k_L :

$$\vec{k}_L = \frac{\vec{T} \wedge \vec{b}}{N_{cell}} \quad (6)$$

Le transport du porteur libre dans le nanotube de carbone présente deux différents majeurs par rapport à celui dans le silicium. Le libre parcours moyen LM (*Mean Free Path* MFP) est de 150 à 2000 nm [21] soit quatre à cinq fois plus importantes que dans le silicium. Ce qui confirme un transport de nature quasi-balistique. Par ailleurs, la figure II.3 montre que les courbures des bandes de conduction et de valence sont identiques, ce qui implique un transport similaire pour les trous et les électrons. Cet avantage ouvre la voie à des composants électroniques avec un fonctionnement ambipolaire.

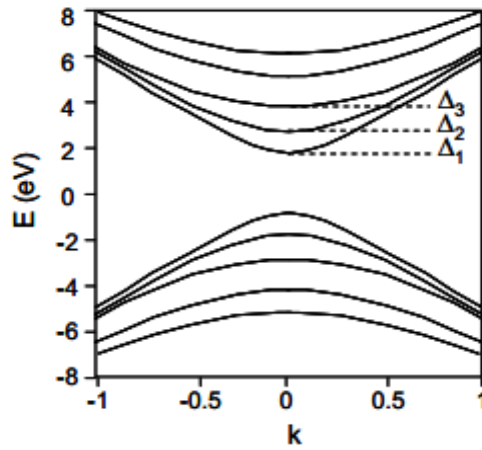


Figure II.5 – Quantification des niveaux de sous bande d'énergie, les sous bandes de la bande de conduction sont symétriques aux celles de la bande de valence [22].

II-4 - Le dispositif de transistor à nanotubes decarbone :

A partir de leur découverte, grâce à leurs dimensions nanométriques et leurs caractéristiques électriques de type semi-conducteur, de nombreuses équipes de scientifiques se sont intéressées à la réalisation de dispositifs, type transistors à effet de champ en utilisant les nanotubes de carbone. Ainsi en 1998, l'équipe de Sander Tans à l'Université de Delft [22], Pays bas puis l'équipe de PhaedonAvouris (IBM) au Watson Research Center aux Etats Unis ont proposé la réalisation de ces nouveaux dispositifs avec l'architecture suivante : un nanotube de carbone semi- conducteur, déposé sur un substrat de silicium dopé avec un oxyde de surface d'épaisseur t , est placé entre deux électrodes métalliques ; celles-ci portent respectivement le nom de drain (D) et de source(S). Une tension V_{DS} est appliquée entre les deux électrodes et un champ électrique est créé en imposant une différence de potentiel V_{GS} entre la source (S) et le substrat dopé qui est utilisé comme une grille(G). Le courant I_{DS} circulant entre la source et le drain est mesuré en fonction de la tension V_{DS} et V_{GS} . Il s'agit ici d'une configuration classique de transistors à effet de champ (Field Effect Transistors (FET)) qui peut être représentée de la manière suivante :

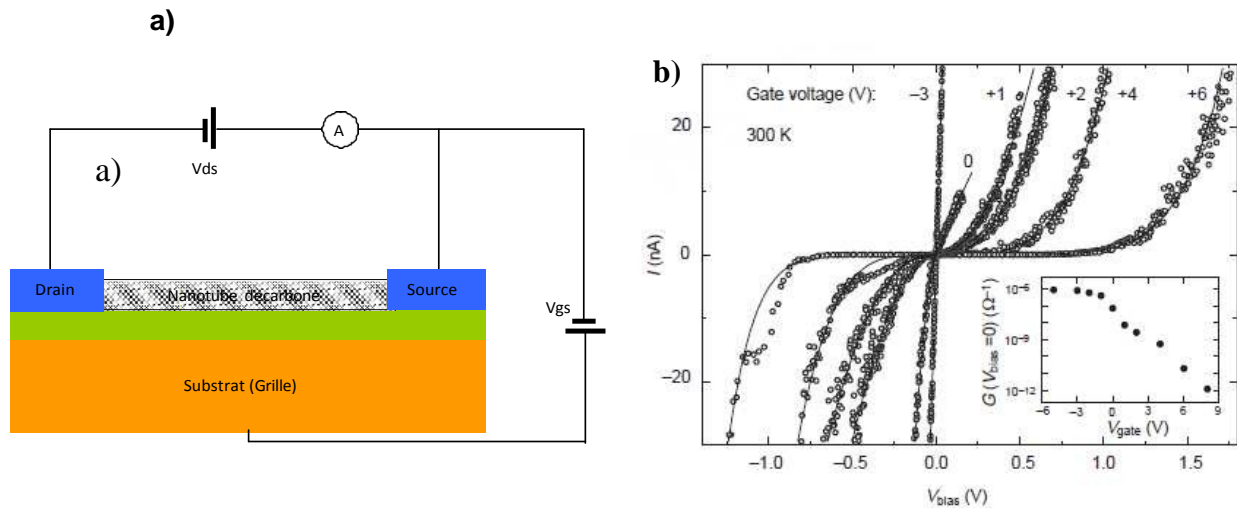


Figure II.6(a) Schéma du montage électrique réalisé d'un transistor à nanotubes decarbone(b)Caractéristiques $I_{DS}=f(V_{DS})$ en fonction de la tension V_{GS} et, dans l'encadré, la conductance $G=f(V_{GS})$ extrait de[22].

Les premiers résultats obtenus, reproduits à la Figure II.6, montraient une modulation de la conductivité en fonction du potentiel de grille appliqué. La courbe $I_{DS}(V_{GS})$, représentée dans l'insert, montre une modulation de 5 à 6 ordres de grandeur et un comportement de type p (conduction des trous h^+ dans la structure). Ceci ouvrait la voie pour l'utilisation de ces dispositifs de taille nanométrique. De plus les transistors à nanotubes de carbone à effet de champs (CNTFET) présentent une grande résistance de contact entre le nanotube et les électrodes.

Pour expliquer cette résistance importante, l'équipe d'IBM a rapidement proposé un modèle basé sur la prédominance de l'influence de la barrière Schottky à l'interface nanotube- métal.

Nous allons décrire à présent la mise en évidence de ce comportement et l'explication théorique qui y est attachée.

II-5-Transistor à effet de champ conventionnel(CNTFET)

Le principe de fonctionnement du transistor à effet de champ conventionnel à base de nanotube de carbone (*Carbon Nanotube Field Effect Transistor* pour *CNTFET*) est très similaire à un MOSFET (*Metal-Oxide-Semiconductor Field Effect Transistor*) en considérant le remplacement du matériau de canal pour profiter du transport balistique dans le CNT. La représentation schématique du transport d'électron montrant le vecteur d'onde dans un CNTFET de type N est présenté figure 2.7 selon l'évolution du schéma des bandes d'énergie en fonction de la polarisation. Dans cette représentation schématique, le drain et la source sont supposés être des contacts ohmiques avec le canal du nanotube. La polarisation de la grille module le potentiel électrique du canal pour autoriser ou bloquer le transport d'électrons. Du fait de la similitude de comportement avec le MOSFET, ce transistor est souvent appelé CNTFET à modulation de hauteur de barrière ou *MOS-like CNTFET*. Cependant, le transport dans le CNTFET diffère par rapport à celui dans le MOSFET puisque dans des conditions de longueur du canal inférieure ou proche du libre parcours moyen des électrons, le transport électronique dans le CNTFET se caractérise par un fort taux de balisticité supérieur à 80%. En effet, dans les CNTFETs de type N, les électrons injectés côté drain et côté source contribuent au courant balistique selon la direction du vecteur d'onde longitudinal, $-k$ ou $+k$, respectivement. C'est-à-dire que les deux contributions sont de même nature mais de sens opposé. Dans les CNTFETs de type P, le même principe de fonctionnement est valable avec un transport de trous dans la bande de valence.

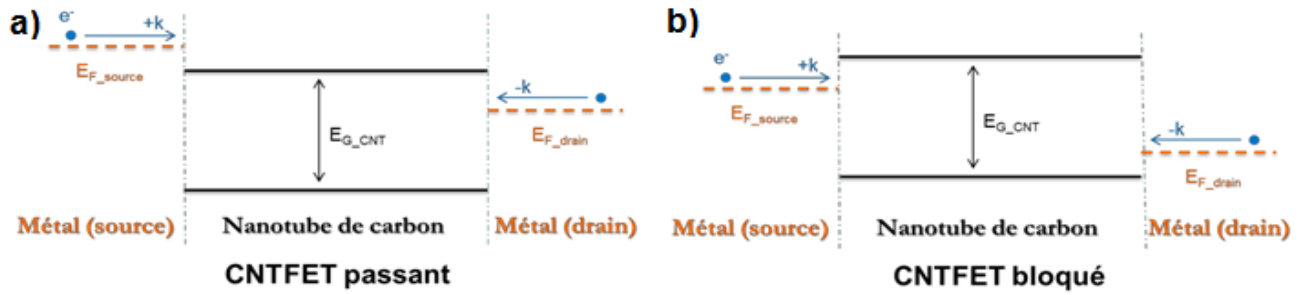


Figure II.7 – Diagrammes d’énergie d’un CNTFET MOS-like type N sous deux conditions de polarisation montrant l’état passant (a) et l’état bloqué (b). La polarisation V_{DS} est positive dans les deux cas. Dans a), V_{GS} est fortement positif. Dans b), il est faiblement positif[22].

Un exemple de procédé de fabrication qui se veut proche du procédé planar utilisé pour les MOSFETs est présenté figure II.8a [22]. Le canal en CNT est réalisé par dépôt à la place de l’épithaxie dans le procédé CMOS (*Complementary MOS*) II.8a.1). Ensuite, les électrodes drain et source sont déposées (II.8a.2). Selon la nature du métal et le diamètre du nanotube, le contact est de type N ou P. Par exemple, les électrodes sont en Al dans une réalisation de n-MOSFET [23]. Un autre exemple, les électrodes sont en Au dans un p-FET [23]. Le canal est alors défini par auto-alignement après le lift-off (II.8a.3). Le diélectrique de la grille est déposé localement par CVD (II.8a.5). Puis le métal de grille est déposé (II.8a.6). L’électrode de grille est réalisée par auto-alignement après le lift-off (II.13a.7). Ce procédé de fabrication conduit à la configuration “grille avant” (*top gate*). Dans la configuration “grille arrière” (*backgate*), la grille est souvent réalisée (en Si fortement dopé ou en Al) avant l’oxyde qui est réalisé par croissance *in situ*. Grâce à la facilité apparente de ce procédé de fabrication, le CNTFET pourrait être compatible avec la technologie CMOS actuelle.

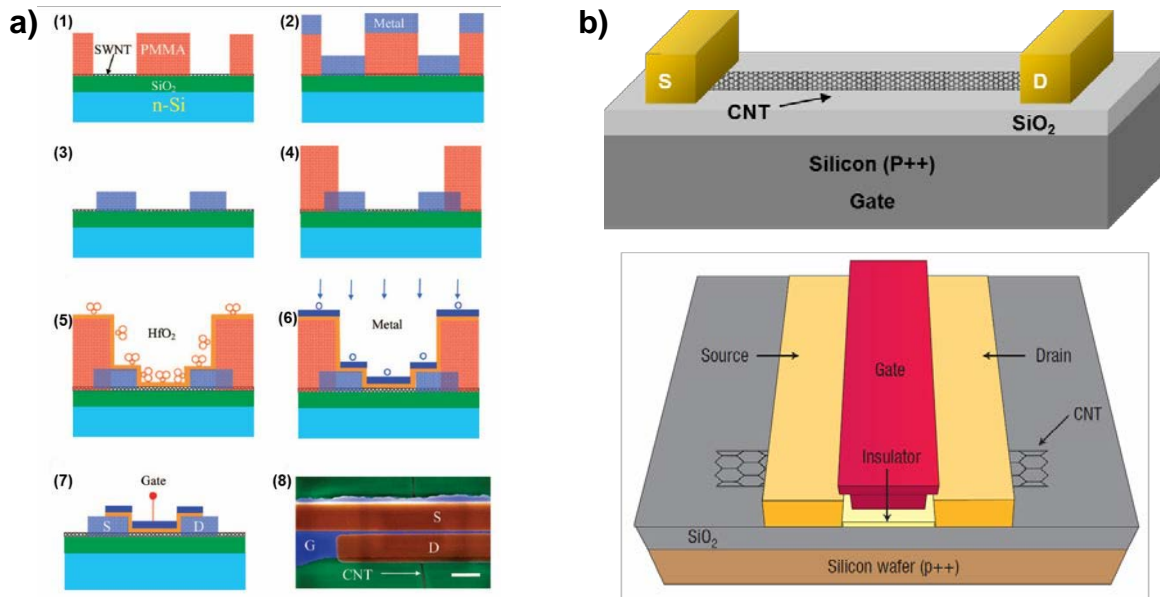


Figure II.8 – a) Procédé de fabrication auto-aligné d'un CNTFET "top gate" avec oxyde de grille en HfO₂. b) Schéma de configurations de CNTFET avec grille arrière en haut (back gate) et avec grille avant en bas (top gate) [23].

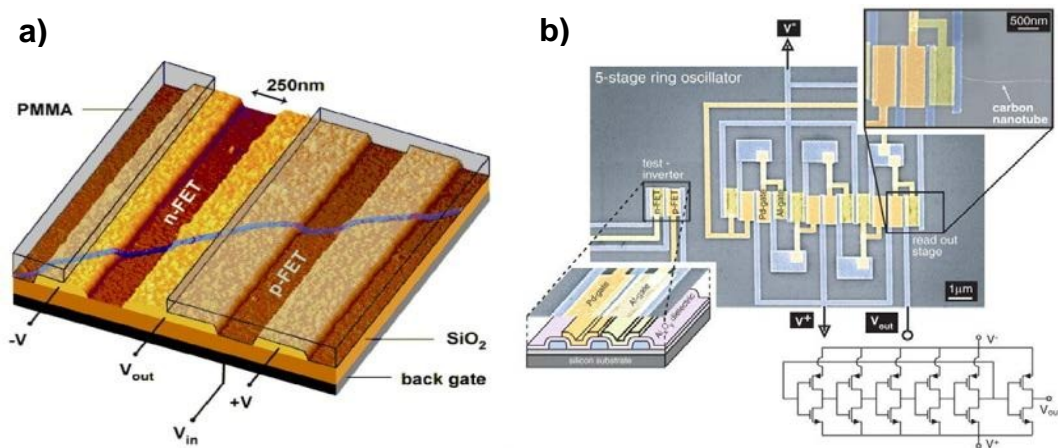
En pratique, pour simplifier le procédé de fabrication est donc minimiser le coût de fabrication du CNTFET, le canal est souvent sans aucun dopant. De plus, on recherche à avoir aucun dopant pour ne pas augmenter le scattering. L'oxygène n'est pas vraiment un dopant de nanotube, mais peut modifier la nature du contact métal/semi-conducteur et favoriser le transport de trou. En associant des métaux avec un travail de sortie supérieur à celui du

nanotube, on peut obtenir des CNTFETs (sans passivation) de type P. Si on élimine

l'oxygène dans le canal de nanotube par recuit sous vide, avec passivation et en choisissant des métaux avec un travail de sortie inférieur à celui du nanotube, les transistors de type N peuvent être fabriqués [23]. L'inverse de la pente sous seuil des caractéristiques ID-VG d'un transistor FET décrit la qualité de control entre le régime passant et bloqué. Plus cette valeur est faible, plus la courbe d'ID-VG est abrupte, plus les niveaux ON/OFF d'un FET sont bien définis et meilleure est la performance du transistor. Le meilleur CNTFET de type P a été mesuré avec une valeur de l'inverse de la pente sous le seuil de 85 mV/décade en dopant le nanotube sur les régions d'accès avec du triethyloxoniumhexachloroantimonate $(C_2H_5)_3O^+SbCl_6^-$. Avec des électrodes en Pd, L'inverse de la pente est de 100 mV/décade pour le meilleur CNTFET de type N sans dopage et avec des électrodes en Sc. Le temps de transit ou la fréquence de transition d'un transistor est une autre figure de mérite. Un oscillateur en anneau a été publié avec une fréquence de résonance de 52 MHz soit un temps

de transit de 1,9 ns par étage [23]. Un autre exemple, un CNTFET a atteint à une fréquence de coupure (*cut-off frequency*) de 80 GHz avec le canal en réseau des s-SWNTs non-alignés [23].

La figure II.8 montre des réalisations de CNTFET avec un nanotube semi-conducteur individuel. A l'heure actuelle, ce type de réalisation en reste à l'état de démonstrateur de laboratoire. Puisque quel que soit la méthode de réalisation des s-SWNTs déposés sur le substrat par spin-coating ou par croissance localisée, il n'a pas encore été mis au point d'une méthode permettant la réalisation d'un grand nombre de transistors avec CNT individuel selon une grande densité d'intégration. Bien souvent, le canal contient plusieurs nanotubes ou bien un réseau de nanotube plus ou moins aligné. Néanmoins, ce composant a été beaucoup étudié et plusieurs modèles compacts ont été développés pour répondre à la demande de conception de circuits intégrés. De plus, des circuits simples avec les CNTFET conventionnels, ont été réalisés. Une porte logique, "inverseur" a été réalisée (fig. II.9a). Un oscillateur en anneau à 5 étages a été développé basé sur des inverseurs en CNTFETs (fig. II.9b) [23].



II.9- a) Schéma de l'inverseur avec un p-CNTFET et un n-CNTFET. b) Photo du circuit oscillateur en anneau à 5 étages [23].

II-6-Transistor à effet de champ double grilles(DG-CNTFET)

Les CNTFETs double grille (DG-CNTFET pour *Dual-Gate CNTFET* ou *Double-Gate CNTFET*) sont particulièrement intéressants pour les concepteurs d'architecture innovante notamment pour les circuits numériques. Goguet *et al.* ont expliqué en détail l'évolution de la

quantité de charge dans le canal de nanotube de carbone selon la modulation des deux grilles [24] [25]. Le principe du fonctionnement du DG-CNTFET est d'utiliser la grille arrière (BG- pour *back gate* ou la grande grille entre source et drain) comme une pré-polarisation du transistor (fig.II.10). Cette pré-polarisation définit la nature du transport par électrons ou par trous. Ensuite, la grille avant permet de bloquer ou laisser passer les porteurs désignés. Grâce à ce degré de liberté supplémentaire, ce composant peut être utilisé en configuration type N ou type P et, le changement de type est reconfigurable et très simple à contrôler.

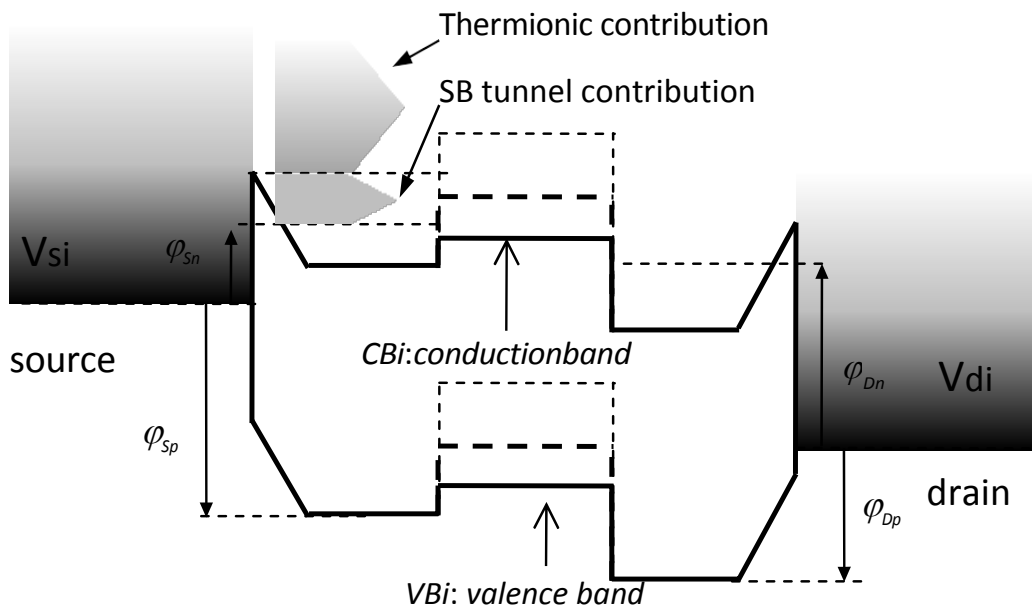


Figure II .10– Schémas de bandes d'énergie d'un DG-CNTFET (avec des contacts Schottky) montrant l'accès source, la partie interne et l'accès drain avec V_{DS} positif. Le transistor est pré-polarisé grâce à la grille arrière pour le transport des électrons, et le transport est modulé grâce à la grille avant. Dans le cas des traits continus, la grille centrale module la partie interne et laisse passer les électrons. Dans le cas des traits discontinus, la partie interne laisse passer une partie seulement des électrons. Dans le cas des pointillés, la partie interne bloque le passage des électrons [25].

La conception de transistor à effet de champ double grilles est envisageable avec un canal à nanotube ou avec un canal en silicium. Un exemple de FET "gate all around" (ou GAA) double grille est représenté fig. II.11 [24]. Cependant, il est technologiquement

difficile de fabriquer des transistors en silicium fonctionnant en régime balistique, puisque le libre parcours moyen est inférieur à 20 nm à température ambiante. Dans ce cas, la lithographie limite le dépôt et la gravure de la deuxième grille. Par contre, grâce au libre parcours moyen élevé dans le nanotube, il est parfaitement possible de concevoir des circuits logiques avec des CNTFETs double grille. Un prototype a été développé avec un canal de 100 nm et une grille avant de 40 nm [25].

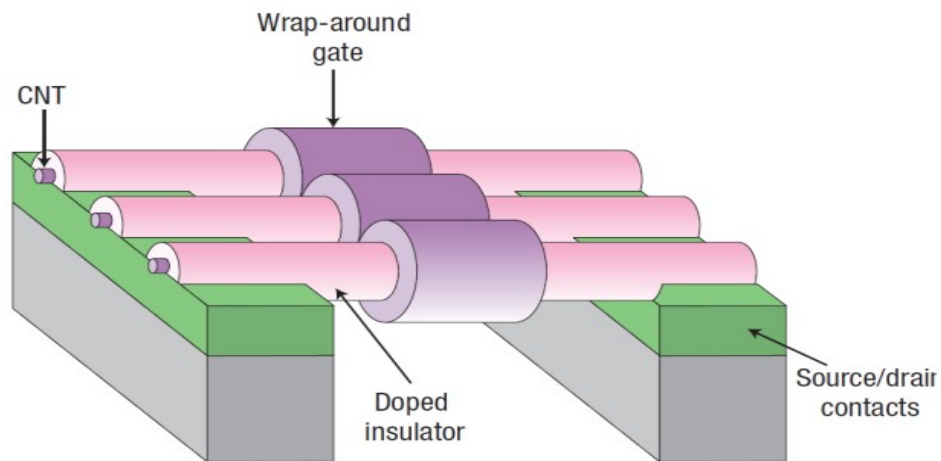


Figure II
.11–

*Schéma d'un DG-CNTFET avec le canal
comprenant trois nanotubes alignés[25].*

En intégrant sept DG-CNTFETs, une conception innovante de “porte logique universelle” incluant huit fonctions booléennes (NOR, NAND, XOR, etc.) est proposée par l'équipe de O'Connor. Avec ce bloc logique reconfigurable, un grand nombre de systèmes logiques peut être conçu avec un nombre réduit de transistors induisant la réduction de la surface d'intégration. Le prototype de ce transistor a été démontré par deux équipes. Par ailleurs, Goguet et al. et Fregonese et al. ont proposé des modèles analytiques compacts pour la conception de circuit intégré [24] [25].

II-7-Transistor à effet de champ à barrière Schottky (SB- CNTFET)

Dans les CNTFETs idéaux, les contacts entre l'électrode en métal et le canal du nanotube de carbone sont de type ohmique. En pratique, les nanotubes sont de type intrinsèque et les régions d'accès ne sont pas dopées pour simplifier la fabrication de transistor. Par conséquent, le contact électrode/CNT est généralement de type Schottky plus ou moins prononcé. La modélisation du contact Schottky dans le CNTFET est l'objet du Chapitre 3. Le CNTFET à barrière Schottky (SB-CNTFET pour *Schottky-Barrier CNTFET*) est un transistor particulier, il montre une forte ambipolarité symétrique par rapport au CNTFET conventionnel unipolaire ou faible ambipolaire [23]. Parce que le SB-CNTFET inclus à la fois un comportement de type P et de type N. La figure II.12 [23] .montre pour les polarisations V_{GS} négatives, le courant de trous et pour les polarisations V_{GS} positives, le courant d'électrons. Ces deux courants s'annulent pour V_{GS} tendant vers zéro lorsque V_{DS} est nul. Le principe de fonctionnement du SB-CNTFET est donc de polariser fortement la grille de manière positive ou négative pour favoriser le transport d'électrons ou de trous, respectivement L'ensemble de cette caractéristique se décale sur l'axe V_{GS} selon la valeur de V_{DS} (fig. II.12) .

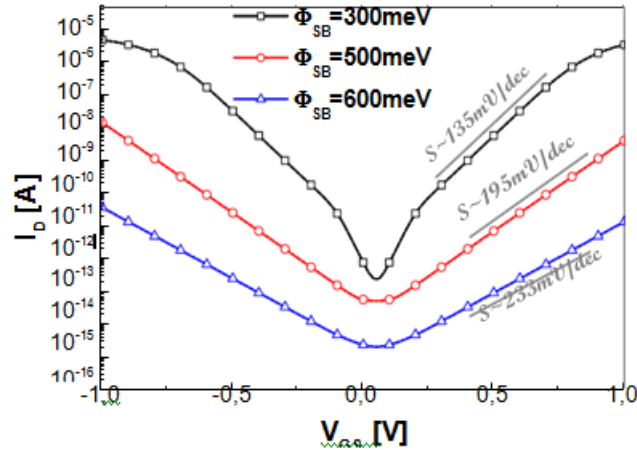


Figure II.12 Caractéristiques symétriques I_D - V_{GS} simulées de modèle compact (courbe continue) et de Monte-Carlo (symboles) d'un SB-CNTFET avec un nanotube (11, 0) pour trois barrières Schottky : 300, 500 et 600 meV, $V_{DS} = 100$ mV [22].

II-8-CNTFET : transistor à barrièreSchottky

II-8-1-Barrière Schottky à l'interfacenanotube/métal

L'existence d'une barrière Schottky à l'interface nanotubes/métal a été mise en évidence par plusieurs équipes grâce à différentes méthodes de mesures électriques ou optiques [22]. Celle qui conduit aux résultats les plus significatifs est la caractérisation de la jonction métal-nanotube par microscopie à photo-courant à balayage laser (ou Scanning PhotoCurrentMicroscopy (SPCM)) utilisée par Freitag et al.[26] en 2009. Dans cet article, un nanotube de diamètre important (entre 1 et 2 nm) est connecté à deux électrodes en palladium sur un substrat de silicium avec un oxyde de surface de 100 nm d'épaisseur. Un faisceau laser argon de longueur d'onde 457.9 nm et de largeur de faisceau de 400 nm vient balayer la surface de l'échantillon. Lorsque le faisceau éclaire la jonction nanotube/métal un photo-courant est généré : sous l'effet d'un photon, soit un électron du métal est excité et possède assez d'énergie pour franchir la barrière de potentiel, soit une paire électron-trou est dissociée dans le nanotube créant ainsi un flux de porteurs de charges. Sur laFigure II.13.a est représentée la cartographie de la différence de potentiel en chaque point de l'échantillon générée par le laser pour des tensions de grille allant de 1V à 4V. De ces mesures sont extraites l'évolution potentielle de la bande de valence suivant l'axe du nanotube sur la Figure 34.b et c. Ces deux graphes montrent à la fois une baisse du potentiel au niveau du nanotube mais aussi une diminution de la largeur de la barrière de potentiel à franchir pour les électrons lorsque V_{gs} augmente. Pour se représenter les conséquences sur la conduction

à travers le contact, la Figure 4.d illustre la structure de bande au niveau du contact pour $V_{GS}=1.6V$ et $V_{GS}=3.4V$.

A 1.4V, la barrière entre le niveau de Fermi du métal et la bande de conduction est forte tandis que celle pour la bande de valence est faible permettant la conduction par les trous. A 3.4V la barrière pour les trous s'est agrandie, et celle pour les électrons s'est affinée, permettant une conduction de ces porteurs à travers une barrière de potentiel appelé barrière Schottky. Ceci explique le comportement ambipolaire du transistor.

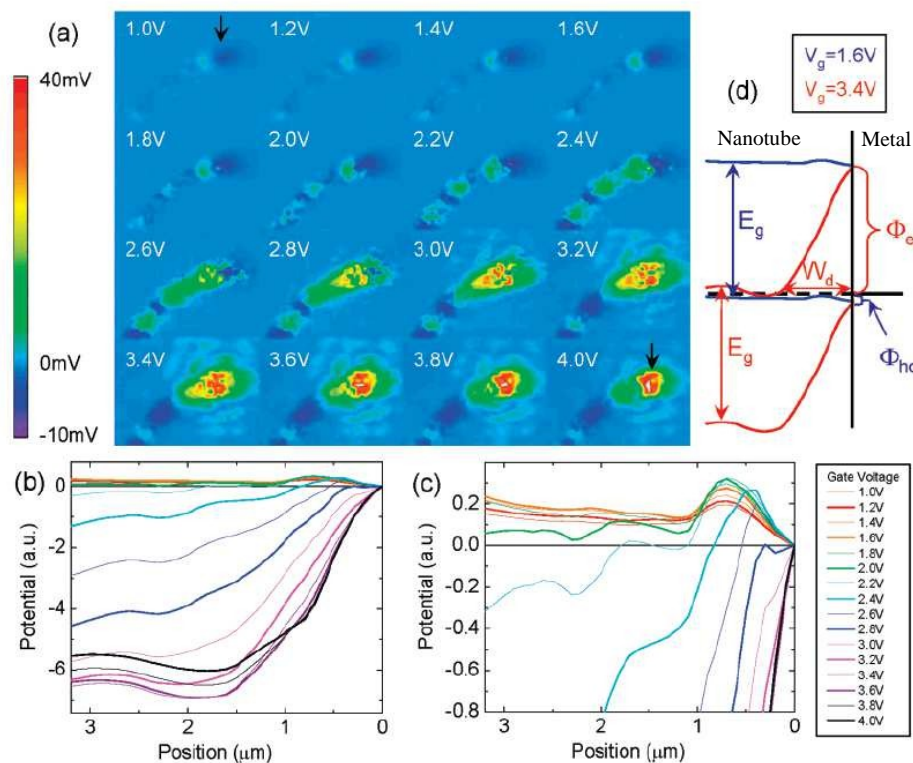


Figure II.13 Mise en évidence des barrières Schottky au contact nanotube/métal par microscopie photo-courant dans un circuit ouvert: (a) Images du contact pour des potentiels de grille (V_{GS}) compris entre 1 et 4V par pas de 0.2V (b) variation du potentiel au contact obtenu à partir des images de photo-courant (c) zoom de l'image (b) au niveau du contact (d) représentation de la barrière nanotube/métal à $V_{GS}=1.6V$ en bleu et 3.4V en rouge [26].

Nous observons donc ici, lors de l'augmentation de V_{GS} , une diminution du niveau de la bande de conduction dans le nanotube et l'apparition d'une barrière quasi triangulaire pour les électrons. Décrivons de manière théorique ce qui se passe à l'interface.

Dans un cas idéal, lorsqu'un nanotube de carbone est mis en contact avec un métal, le système retrouve son équilibre lorsque le niveau de Fermi du nanotube vient s'aligner sur celui de métal, imposant un transfert de porteurs pour compenser cet écart.

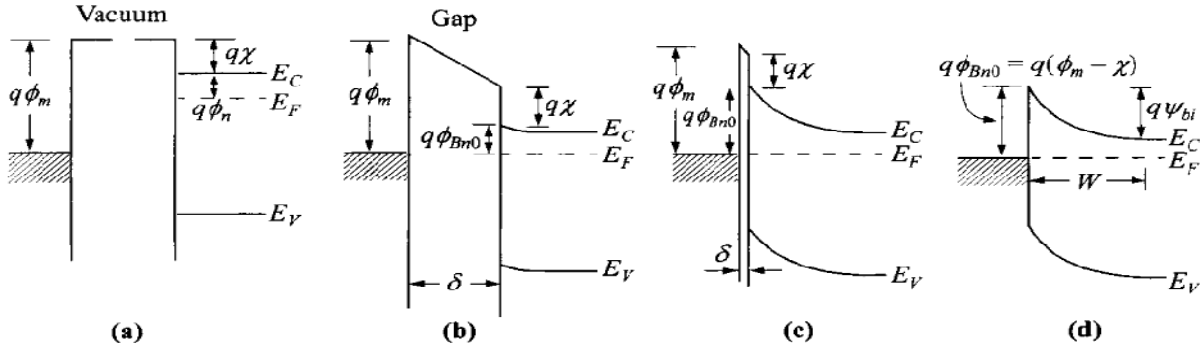


Figure II.14 Diagramme des énergies de bande au contact métal semi-conducteur de type n. (a) représente le diagramme pour deux matériaux séparés (b) espacés d'une distance δ , δ se tend vers zéro (c) et s'annule (d) [26.]

q représente la charge du porteur, Φ_m le travail de sortie du métal, χ l'affinité électronique du nanotube, E_C , E_F et E_V sont respectivement l'énergie de la bande de conduction de Fermi et de valence du CNT, $\Phi_n = E_C - E_F$, Φ_{bn} est la hauteur de barrière et W est la largeur de la zone chargée. Lorsque ces deux éléments sont rapprochés, les électrons viennent s'accumuler à l'interface du métal et du nanotube créant ainsi une barrière de potentiel. Celle-ci est totalement établie lorsque les deux matériaux sont mis en contact et vaut :

$$q\phi_b = q(\phi_m - \chi) \quad (7)$$

Où q est la charge du porteur, Φ_m est le travail de sortie du métal et χ est l'affinité électronique des électrons dans le nanotube.

De la même manière, on obtient la barrière pour les trous Φ_{bh} :

$$q\phi_{bh} = E_g - q(\phi_m - \chi) \quad (8)$$

Où E_g représente l'énergie de gap du nanotube. A l'équilibre thermique, nous aurons donc une barrière pour les électrons si Φ_m est plus grand que χ et inversement pour les trous (déplétion de porteurs de charge). Pour décrire complètement ces barrières, il est important de prendre en considération l'effet Schottky issu des effets de charges induites dans un métal. En effet, une charge q , à une distance x de la surface plane d'un métal, induit une charge de surface qui par la méthode des charges-image, peut être considérée équivalente à celle d'une charge $-q$ située en $-x$. Ainsi, la charge est soumise à la force.

$$F = \frac{-q^2}{4\pi(2x)^2\epsilon\epsilon_0} \quad (9)$$

Où ϵ est la permittivité relative du milieu et ϵ_0 est la permittivité du vide.

Donc l'énergie nécessaire pour amener une charge q de l'infini à x vaut :

$$E(x) = \int_{\infty}^x F dx = \frac{q^2}{16\pi\epsilon\epsilon_0 x} \quad (10)$$

En y ajoutant un potentiel extérieur ξx , la charge est soumise à une énergie potentielle totale de

$$\frac{q^2}{16\pi\epsilon\epsilon_0 x} + q\xi x \quad (11)$$

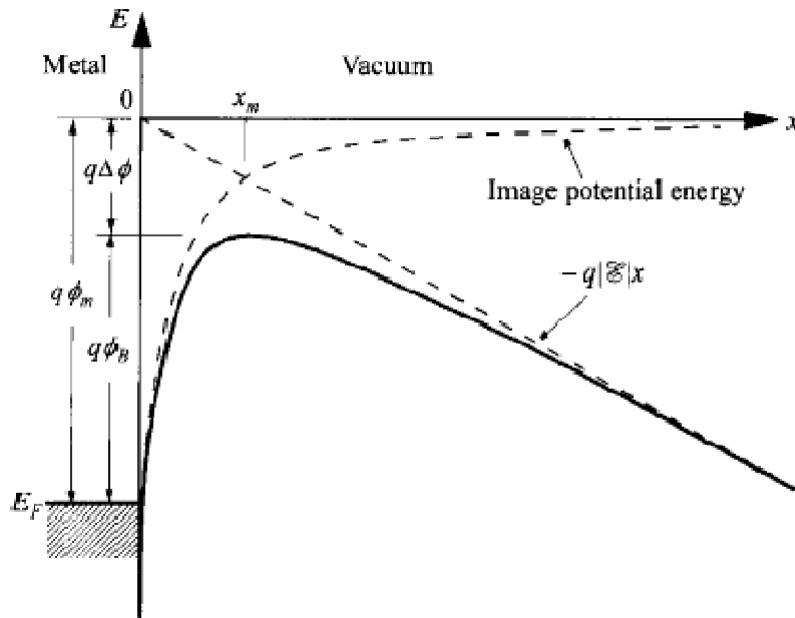


Figure II.15 Représentation schématisée de l'effet Schottky d'une charge soumise à un potentiel extérieur. $\Delta\phi$ représente la différence de barrière induite et x_m est la coordonnée du maximum de potentiel [27].

Soit une baisse de potentiel de

$$\Delta\phi = \sqrt{\frac{q\xi}{4\pi\epsilon\epsilon_0}} \quad (12)$$

Cette diminution de barrière peut également se retrouver au niveau d'un contact métal semi-conducteur. Il faut donc la prendre en compte lorsque l'on considère ce type de phénomène, celle-ci étant dépendante du potentiel appliqué au semi-conducteur comme on peut le voir sur la figure suivante.

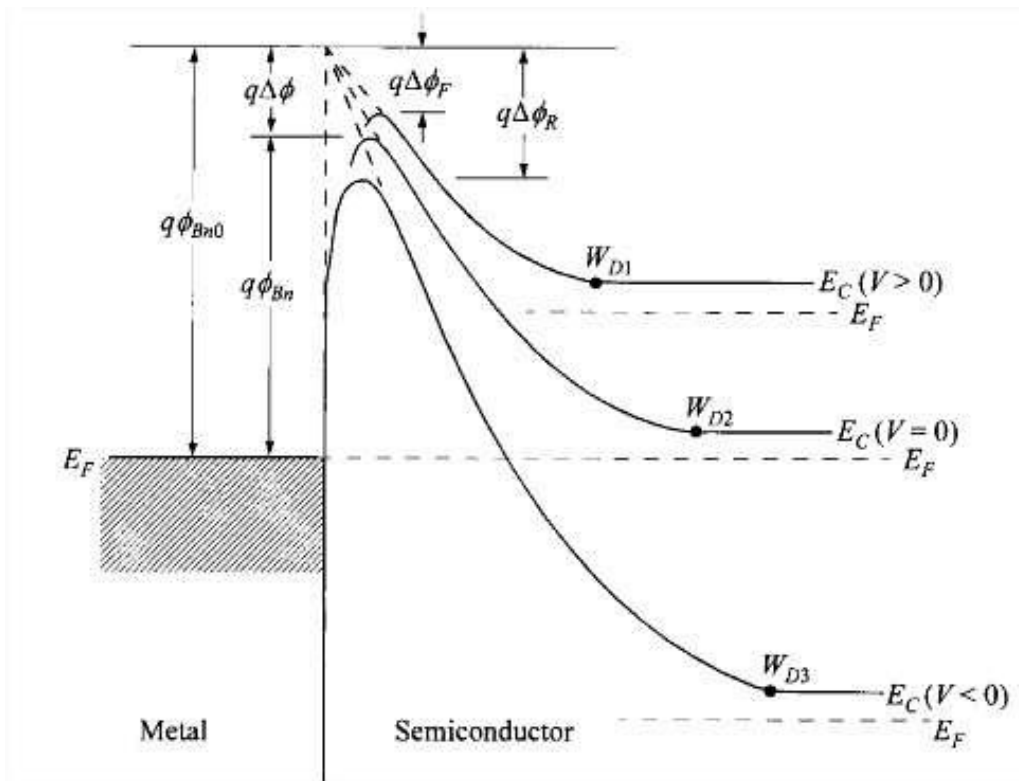


Figure II.16 Modulation de l'effet Schottky en fonction de la polarisation d'une jonction métal semi-conducteur [27]

Lorsque le contact est polarisé sous un potentiel V , on obtient :

$$\Delta\phi = \left(\frac{q^3 (\phi_{bn0} - \phi_n + V)}{8\pi^2 \epsilon^2 \epsilon_0^2} \right)^{\frac{1}{4}} \quad (13)$$

La variation de la barrière sous l'effet Schottky évolue donc comme la variation de potentiel à la puissance $\frac{1}{4}$.

L'ensemble de ces phénomènes qui intervient lors de la mise en contact d'un nanotube et d'un métal est regroupé sous le nom de barrière Schottky. Celle ci est à l'origine du comportement des transistors à nanotube de carbone unique.

II-9-Conclusion :

Nous avons présenté dans ce chapitre le nanotube de carbone et son structure atomique monoparoï et multiparoï (SaitoLab., Université de Nagoya) et Enroulement d'un SWNT sur le maillage cristallin de graphène et définition de la chiralité (n, m) associée au vecteur C . Nous avons ensuite décrit les dispositifs de transistors à nanotube de carbone, nous avons présenté le CNTFET classique transistor à nanotube de carbone par effet de champ et les différents types de ce dernier. Enfin nous allons examiner le SB-CNTFET transistor CNTFET à barrière Schottky. Les transistors FET à canal p et à canal n en fonction du drain, grille et de source des tensions relatives. Si les transistors sont dopés ou annelés, leurs caractéristiques IV peuvent être déplacés vers des transistors mieux de type p ou de type n. Ce changement peut être utilisé à l'avantage d'un concepteur de circuit s'il y a des contrôles de processus précis.

CHAPITRE III: SIMULATION ET DISCUSSION DES RESULTATS

III -1- Introduction :

Dans ce chapitre nous allons simuler les deux types de transistor MOSFET et CNTFET le premier est du type n-MOSFET et l'autre SB-CNTFET. La simulation dans les deux cas se fera grâce au logiciel MATLAB et elle aura pour but l'élaboration de ces composants suivie de leurs caractérisations. Cette dernière consistera à tracer les caractéristiques de transfert (I_{DS} en fonction de V_{GS}) et de sortie (I_{DS} en fonction de V_{DS}). Puis en second lieu, nous ferons la comparaison entre les deux types de transistors (Mosfet et Cntfet).

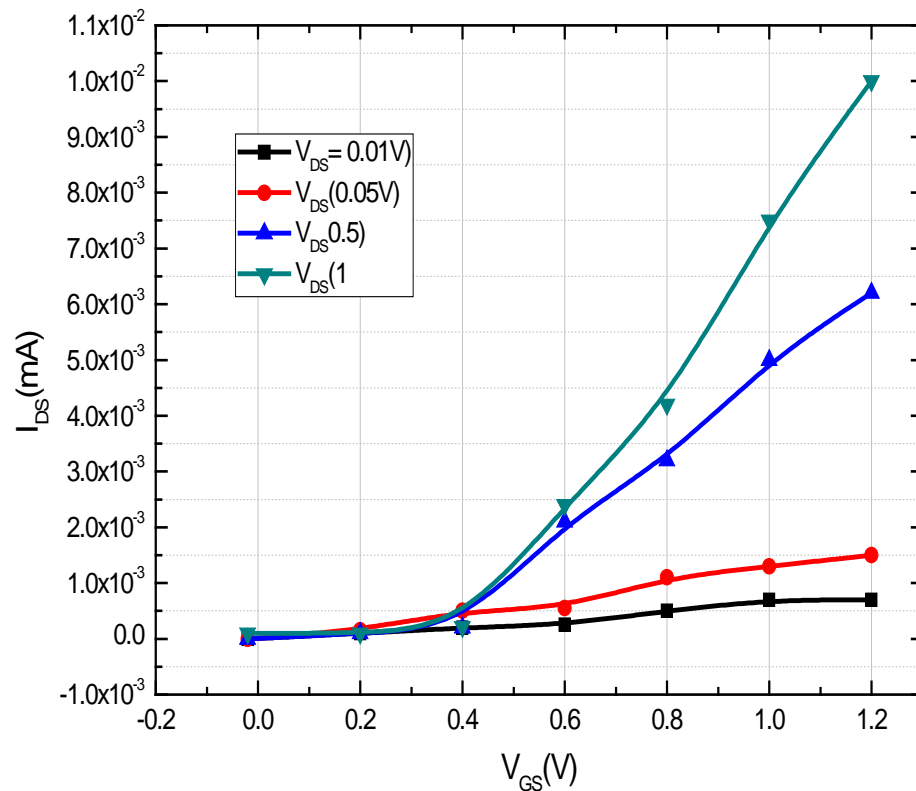
III -2-Etude du transistor n- MOSFET:

Un transistor à effet de champ à grille isolée plus couramment nommé MOSFET (acronyme anglais de Metal Oxide Semiconductor Field Effect Transistor - qui se traduit par transistor à effet de champ à structure métal-oxyde-semiconducteur), est un type de transistor à effet de champ. Comme tous les transistors, le MOSFET module le courant qui le traverse à l'aide d'un signal appliqué sur son électrode centrale nommée grille. Il trouve ses applications dans les circuits intégrés numériques, en particulier avec la technologie CMOS.

Dans la présente partie nous allons considérer un transistor n-MOSFET à canal N à enrichissement. Pour ce transistor nous allons déterminer sa tension de seuil en faisant varier plusieurs paramètres physique. Ses paramètres sont ; le dopage du canal, l'épaisseur de l'oxyde de la grille .

III -3-1-Tracé de la caractéristique de transfert :

La caractéristique de transfert du n-MOSFET- est donnée sur la figure 3-1. Nous avons pris une variation de tension de -0.2 à 1.2V de V_{GS} et une variation de tension drain de 0.01V à 1V.



Figure(III.1) : Caractéristiques de transfert I_{DS} - V_{GS} du n-MOSFET.

La figure III.1 montre les caractéristiques de transfert $I_D(V_{DS})$ du n-MOSFET pour 4 valeurs de tension de source-drain V_{DS} , (0.01V, 0.05V, 0.5V, 1V) et pour des tensions source-grille V_{GS} variant de 0 à 1.2V. On observe une amélioration des performances avec l'augmentation de la tension V_{DS} . Ceci est dû à une amélioration du contrôle du canal par la grille. Nous avons remarqué que à haute polarisation le courant peut prendre des valeurs maximales environ de $\approx 1 \cdot 10^{-2}$ mA.

III.-3-2-Tracé des caractéristiques de sortie :

Semblablement au cas du transistor n-MOSFET, les caractéristiques de sortie du transistor n-MOSFET sont données dans la figure (III.2).

Pour le tracé de ces caractéristiques nous avons considéré les variations de la tension drain

source allons de 0 volt à 1.2V.

Comme tout transistor à effet de champs, le courant drain source I_{DS} est fortement influencé par la tension de commande grille source V_{GS} ;

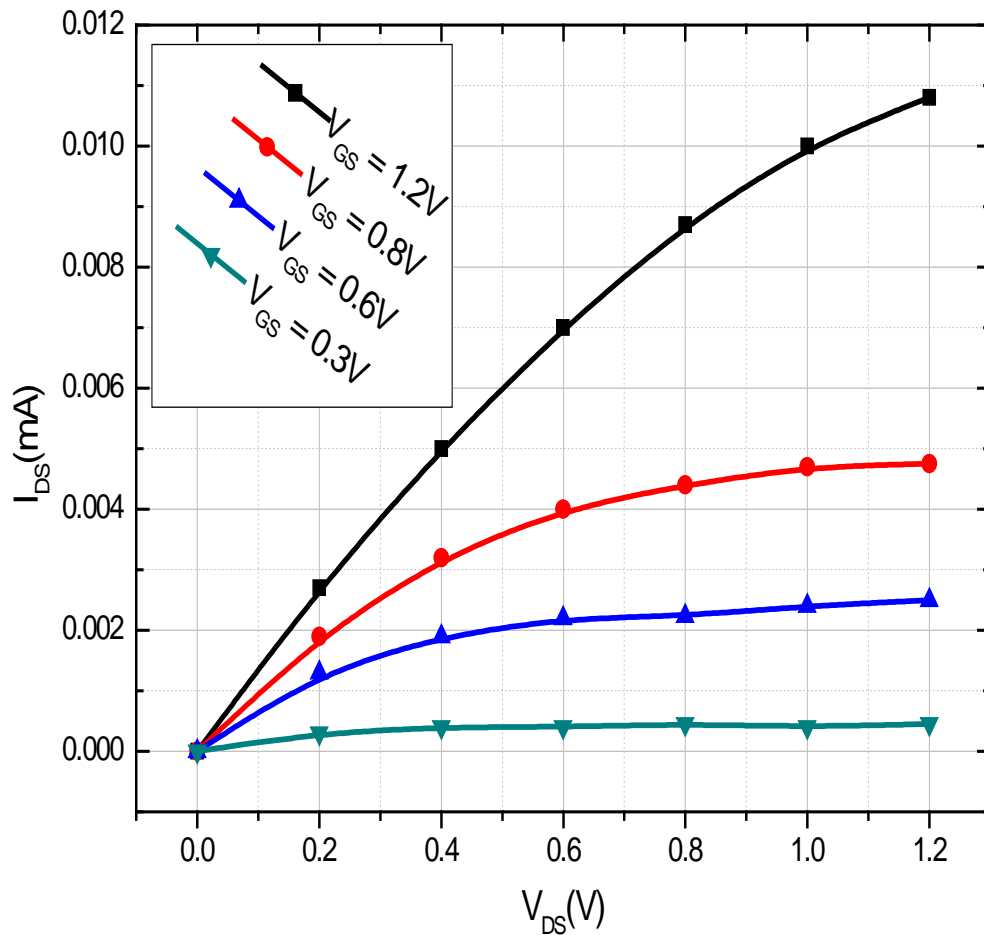


Figure (III.2) : Caractéristiques de sortie IDS-VDS du n-MOSFET

La figure III.2 montre les caractéristiques de sortie $I_D(V_{DS})$ pour 4 valeurs de tension de grille V_{GS} , (0.3V, 0.6V, 0.8V, 1.2V) et pour des tensions source-drain V_{DS} variant de 0 à 1.2V. On observe une amélioration des performances avec l'augmentation de la tension de polarisation. Ceci est dû à une amélioration du contrôle du canal par la grille. Nous avons remarqué qu'à hautes polarisations le courant peut prendre des valeurs maximums environ de ≈ 0.011 mA.

III -3-3-Tracé de Variation la tension V_{th} en fonction de T_{ox} :

La variation de la tension V_{th} en fonction de T_{ox} du n-MOSFET est donnée sur la figure III.2. Nous avons pris une variation de T_{ox} de 0 à 3 (nm) de V_{th} et une tension de 0.1V à 0.35V. Et à partir de données suivantes:

$$V_d = 0.8V, N_a = 10^{16} \text{ Atomes/cm}^3, T_{si} = 3nm, N_d = 10^{20} \text{ Atomes/cm}^3$$

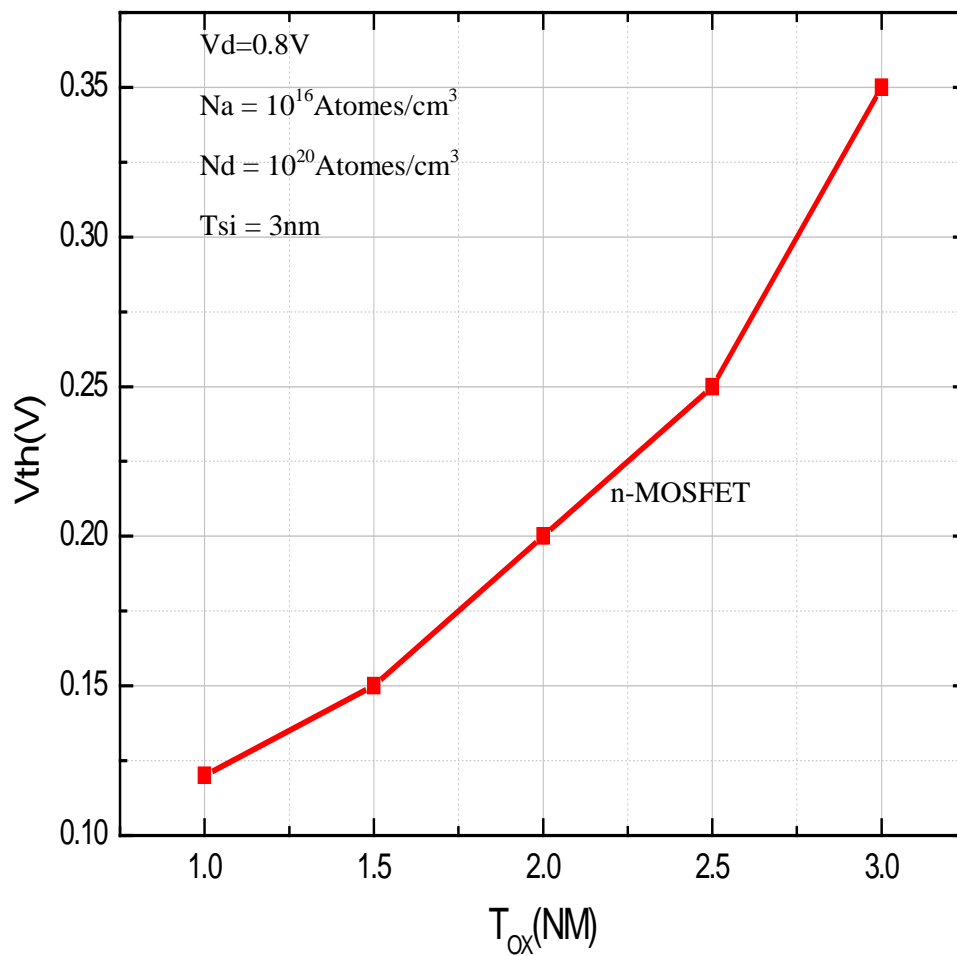


Figure (III.3) : Variation la tension V_{th} en fonction de T_{ox} .

On observe une amélioration de la tension V_{th} dans le n-MOFET avec l'augmentation de T_{ox} , ceci est dû à une amélioration du contrôle du canal par la grille.

III -3-4-Tracé de la caractéristique I_{DS} - V_{DS} pour différentes valeurs de l'épaisseur de l'oxyde:

La caractéristique I_{DS} - V_{DS} pour différentes valeurs de l'épaisseur de l'oxyde du n-MOSFET est donnée sur la figure III.3. Nous avons pris une variation de tension de 0 à 1.2 V de V_{DS} et un courant I_{DS} de 0V à 0.0025 (mA).suivants différentes valeurs de l'épaisseur de l'oxyde $t_{ox}=1.5nm$, $t_{ox}=2$, $t_{ox}=2.5nm$.

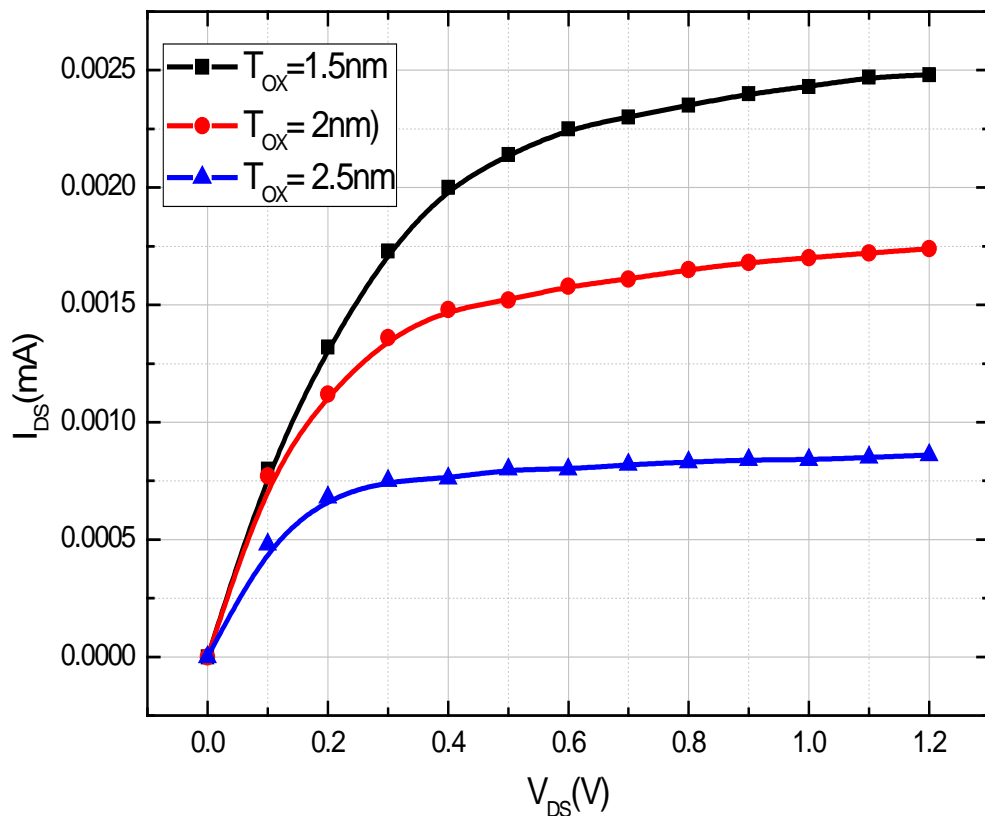


Figure (III.4) : caractéristique I_{DS} - V_{DS} pour différentes valeurs de l'épaisseur de l'oxyde.

Lorsque l'épaisseur de l'oxyde augmente de 1.5 nm à 2.5 nm, le courant I_{DS} Diminue. On voit donc que l'épaisseur de l'oxyde a un impact négatif très important sur ce paramètre. De sorte que chaque fois l'épaisseur de l'oxyde augmente la caractéristique I_{DS} - V_{DS} Diminue considérablement.

III -4-Etude du transistor SB-CNTFET :

Une barrière de Schottky, du nom de Walter Schottky, est une barrière d'énergie potentielle pour les électrons formés au niveau d'une jonction métal-semiconducteur. des barrières de Schottky présentent des caractéristiques redresseuses, convenant à une utilisation en tant que transistor .

toutes les jonctions métal-semiconducteur ne forment pas une barrière de Schottky de redressement; une jonction métal-semi-conducteur qui conduit le courant dans les deux sens sans rectification, peut-être en raison de sa barrière Schottky étant trop faible, est appelé un contact ohmique.

Dans cette section, nous allons présenter et discuter les résultats de simulation du profil énergétique et des caractéristiques I-V du transistor SB-CNTFET, Pour ce transistor nous allons déterminer sa tension de seuil et son courant en faisant varier plusieurs paramètres physique dans le transport balistique pour différentes valeurs de V_G et pour différentes températures et on fin Variation du courant de drain en fonction de V_{GS} pour différentes valeurs de V_{DS} . Les simulations dans le cas du transport balistique sont effectuées en suivant les procédures , et les résultats sont comparés à ceux obtenus dans le cas de transistor n-mosfet.

III -4-1-Tracé de la caractéristique $I_{ds}=f(V_{GS})$ d'un transistor SB-CNTFET (13,0) dans le cas du transport balistique $V_{DS}=0,4V$:

La caractéristique $I_{DS}=f(V_{GS})$ d'un transistor SB-CNTFET (13,0) dans le cas du transport balistique $V_{DS}=0,4V$ est donnée sur la figure III -5. Nous avons pris une variation de tension de 0 à 0.8V de V_{GS} et une tension drain de 0.4V et variation de courant I_{DS} de 0 à 100 (uA).

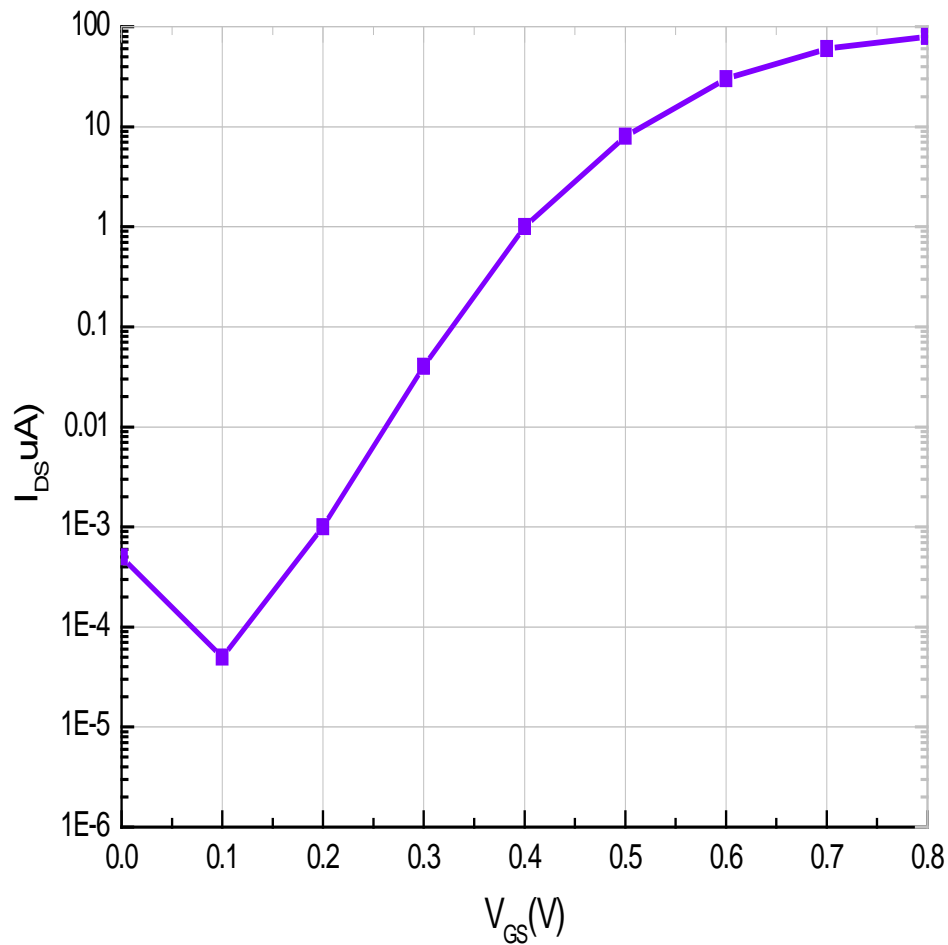


Figure (III.5) : $I_{DS}=f(V_{GS})$ d'un transistor SB-CNTFET (13,0) dans le cas du transport balistique
 $V_{DS}=0,4v$

Les caractéristiques simulées du courant de drain (I_{DS}) en fonction de V_G d'un SB-CNTFET de longueur $L_G=10nm$ et pour une tension appliquée $V_{DS}=0,4V$ sont représentées sur la figure V.8. On observe une amélioration du courant de drain dans le SB-CNTFET avec l'augmentation de V_G , ceci est dû à une amélioration du contrôle du canal par la grille. Conduction balistique ou le transport balistique est le transport des électrons dans un milieu ayant une résistivité électrique négligeable provoquée par la diffusion. Sans diffusion, les électrons obéissent tout simplement à la deuxième loi de Newton sur le mouvement à des vitesses non-relativistes. Le transport balistique des électrons dans le canal c'est le efficace transport des transistors par effet de champs est la plus vitesse et la conduction balistique permet d'utiliser des propriétés mécaniques quantiques de fonctions

d'onde des électrons. Le transport balistique est cohérente onde mécanique termes.

III -4-2-Tracé de la caractéristique de $I_{DS}=f(V_{DS})$ pour un transistor SB-CNTFET (1 3 ,0) dans le cas du transport balistique pour différentes valeurs de V_{DS} :

La caractéristique $I_{DS}=f(V_{DS})$ pour un transistor SB-CNTFET (1 3 ,0) dans le cas du transport balistique pour différentes valeurs de V_{GS} transfert est donnée sur la figure III.6. Nous avons pris une variation de tension de 0 à 0.6V de V_{DS} et un courant drain de 0 à 1.4×10^6 .

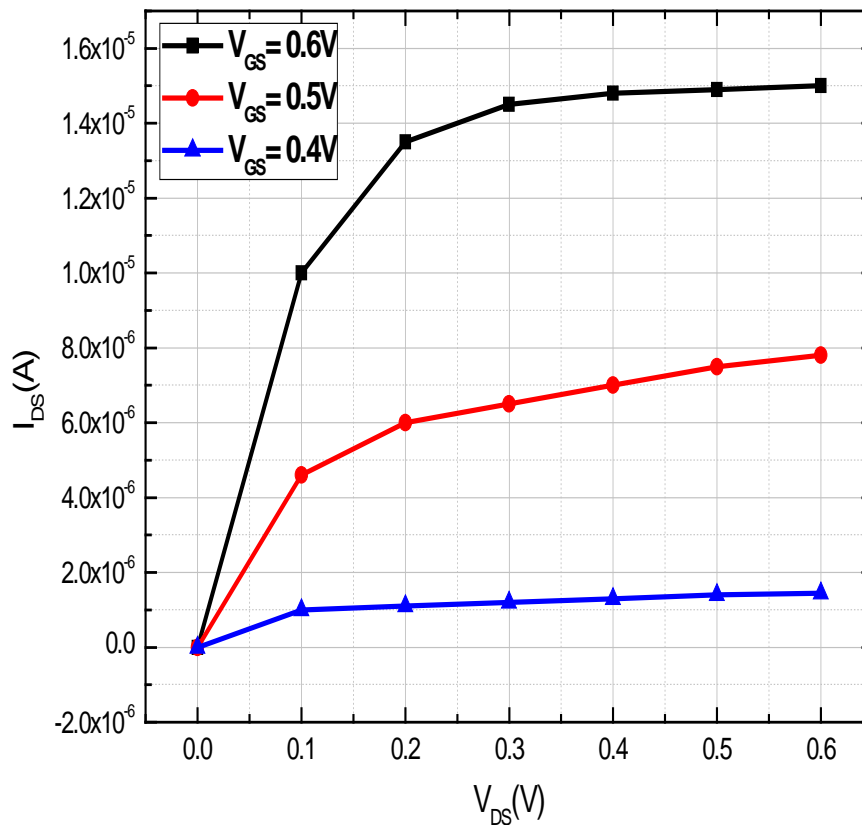


Figure (III.6) : $I_{DS}=f(V_{DS})$ pour un: transistor SB-CNTFET (1 3 ,0) dans le cas du transport balistique pour différentes valeurs de V_{GS} .

La figure III.6 montre les caractéristiques $I_D(V_{DS})$ pour 3 valeurs de tension de grille V_{GS} , (0.4V, 0.5V, 0.6V) et pour des tensions source-drain V_{DS} variant de 0 à 0.6V. On observe une amélioration des performances avec l'augmentation de la tension de polarisation. Ceci est dû à une amélioration du contrôle du canal par la grille. Nous avons remarqué que à hautes polarisations le courant peut prendre des valeurs maximales environ de $\approx 1.5 \cdot 10^{-5} \mu A$.

III -4-3-Tracé de la caractéristique de $I_{DS}=f(V_{DS})$ simulées pour différentes températures :

Pour un SB-CNTFET, la température joue donc un rôle dans la variation de la tension de seuil. L'évolution du courant de drain du SB-CNTFET en fonction de la température est présentée dans la figure III.7. Ici, nous considérons la température de 100K comme valeur nominale et nous cherchons à évaluer l'influence d'une augmentation (200K-300K-400K) de la température en cours d'opération.

Les performances et la fiabilité d'un SB-CNTFET sont fortement influencées par la température. La conduction le long du canal étant due aux porteurs majoritaires, elle ne sera modifiée par la température que pour une variation de certains paramètres (mobilité des électrons, la hauteur de barrière Schottky, la vitesse de saturation, la constante diélectrique et même la résistance spécifique des contacts ohmiques).

La caractéristique $I_{DS}=f(V_{DS})$ simulées pour différentes températures du SB-CNTFET est donnée sur la figure III.7. Nous avons pris une variation de tension de 0 à 0.5V de V_{GS} par pas de 0.1 et une tension drain de 0.4V suivants des différentes températures (100K, 200K, 300K et 400K).

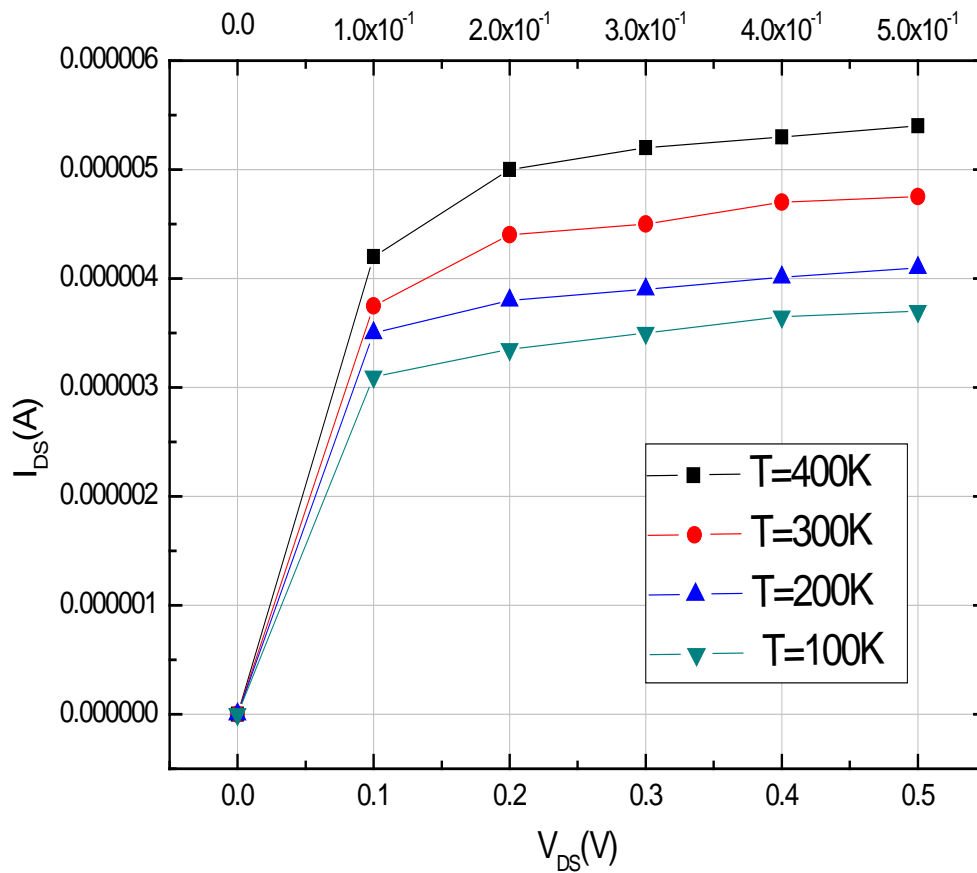


Figure (III.7) : $I_{DS}=f(V_{DS})$ simulées pour différentes températures.

Lorsque la température augmente de 100K à 400K, le courant I_{DS} augmente. On voit donc que la température a un impact très important sur ce paramètre. A température ambiante, le composant opère avec une pente sous le seuil S de 74.1mV/décade. Lorsque la température diminue ($T=100K$), le régime sous le seuil ne présente plus une pente constante en fonction de V_G . Ces deux courbes séparent distinctement la contribution du courant tunnel de celle du courant thermique : la valeur d' I_{OFF} (courant à $V_G=0V$) augmente d'un facteur 10^3 entre 100K et 400 K.

III -4-4-Tracé de la caractéristique courant de drain en fonction de V_{GS} pour différentes valeurs de V_{DS} :

La caractéristique courant de drain en fonction de V_{GS} pour différentes valeurs de V_{DS} du SB-CNTFET est donnée sur la figure **III.8**. Nous avons pris une variation de tension de 0 à 1.2V de V_{GS} et une tension drain de 0.2 à 1.2 V.

les différentes valeurs de V_{DS} , $V_{DS}=0.2$, $V_{DS}=0.5$, $V_{DS}=0.8$, $V_{DS}=1.2$.

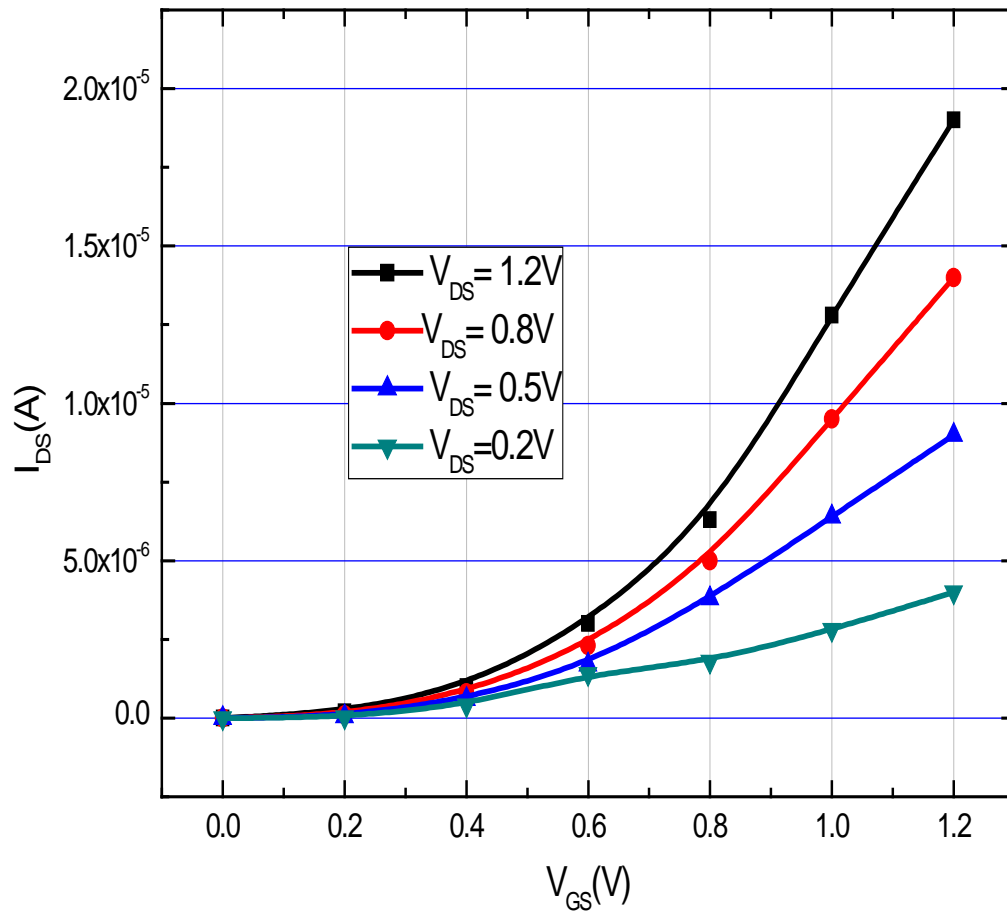


Figure (III.7) : Variation du courant de drain en fonction de V_{GS} pour différentes valeurs de V_{DS} .

III -5- Comparaison des caractéristiques des deux types de transistor n-MOSFET et SB-CNTFET :

Après avoir tracé les différentes caractéristiques des deux types de transistors, nous allons dans ce qui suit faire une comparaison de leurs caractéristiques de sorties et de transferts des deux cas de transistors. Pour la simulation des caractéristiques.

Donc dans cette section, nous avons, et donné une brève comparaison de l'Entre les CNTFET et les performances du MOSFET. Dans le cas de n-MOSFET de commutation se produit en changeant le canal cible se passe-résistance sb-CNTFET par commutation de la formation de la résistance de contact. SB-cntfet est capable de 3-4 courants de livraison conduisent fois plus élevé que le circuit basse résistance intégrée si elle est en overdrive de 1 V.

La longueur du canal est un paramètre clé dans les vices MOSFET.

Une comparaison des tensions de seuil par rapport à la longueur du canal des dispositifs n-MOSFET sb-CNTFET la longueur de canal de 20 nm, la tension de seuil est augmentée rapidement dans le cas du transistor sb-CNTFET et la tension de seuil se poursuit rainage ment au-delà de la longueur du canal de 20 nm dans le cas du n-MOSFET, ce qui conduit à une puissance de fuite et, enfin, le dispositif se dégrade en ce qui concerne ses performances.

L'avantage d'utiliser un transistor sb-CNTFET dans le régime nanomètre ter est d'augmenter la tension de seuil à 10 nm et au-delà de la longueur du canal. Dans le cas de MOSFET, tout en réduisant la longueur de canal, la tension de seuil est également ré- duit, ce qui conduit à une puissance de fuite.

la vitesse moyenne du véhicule est en CNTFET Ceci est presque le double du MOSFET.

Les caractéristiques du dispositif à transistor MOS et le comportement du circuit sont des changements avec l'augmentation de la température. La température de fonctionnement maximale tolérable pour les appareils de silicium est de 150 de- grés. , les nanotubes de carbone sont chimiquement inertes et sont capables de transporter de grandes quantités courant électrique; Les nanotubes de carbone sont capables de conduire la chaleur presque aussi bien que le diamant.

Dans les dispositifs CNTFET, l'effet de la température sur seuil de tension est négligeable.

Dans l'analyse, nous avons constaté que la température affecte peu la tension de seuil car qui est pas possible dans le cas du MOSFET, tel qu'il fonctionne au maximum à 150 °C et les caractéristiques des paramètres de l'appareil

Cela est dû à la capacité de grille haute, ou en raison du transfert du canal pour améliorer l'avantage de performance sur le ruisseau SB-CNTFET soit. Cela est dû à l'augmentation de la structure de la mobilité et la bande SB-CNTFET améliorée canal de vitesse SB-CNTFET.

III -6- Discussion des résultats :

MOSFET atteindra technologique et, plus important encore, les limites physiques fondamentales du régime du nanomètre. De plus, on prévoit que le taux de défaut et l'échec au niveau de l'appareil et le circuit à être beaucoup plus élevé qu'avec MOSFET. Par conséquent, il est d'une grande importance pour l'industrie pour développer technologies qui permettront la mise en œuvre continue des dispositifs de performance toujours plus élevés. Le CNTFET est parmi les nouvelles technologies les plus prometteuses qui pourraient prendre la place de l'électronique à base de silicium.

CNTFET montrent des caractéristiques différentes par rapport aux MOSFET dans leurs performances. Dans une structure de grille plane, le p-CNTFET produit $\sim 1500 \text{ A / m}$ du courant sur par unité de largeur à une porte overdrive de 0,6 V tandis que p-MOSFET produit $\sim 500 \text{ A / m}$ à la même tension de grille. Cet avantage en cours provient de la capacité de grille élevée et l'amélioration des transports de canal. Comme une capacité de grille effective par unité de largeur de CNTFET est environ le double de celui de p-MOSFET, la compatibilité avec haute diélectriques k de porte devient un avantage certain pour CNTFET.] À propos de la vitesse des porteurs deux fois plus élevé de CNTFET que MOSFETs vient de l'augmentation de la mobilité et la structure de bande. CNTFET, en outre, ont transconductance environ quatre fois plus élevé. [Citation nécessaire] Le sous-premier 10 nanomètre transistor CNT a été fait qui a surpassé les dispositifs de silicium mieux en concurrence avec plus de quatre fois la densité de courant diamètre normalisé ($2,41 \text{ mA / um}$) à une tension de fonctionnement de 0,5 V. la pente sous le seuil inverse de la CNTFETs était de 94 mV / décade .

Ce chapitre a été consacré à la simulation de transistors n-MOSFET et CNTFET par le

programme matlab. Tel était le but de la simulation pour construire ce transistor en fournissant des rapports à divers changements électriques de la fonction de courant et le tension, puis l'introduction de changements pour la chaleur et même le changement dans l'épaisseur de l'oxyde avec le changement dans la tension. En travers les possibilités offertes par les calculs de la demande que nous avons pu étudier le transistor deux modèles. Le premier n-MOSFET et le second SB-CNTFET.

Après cette étape vient directement de l'étape de caractérisation. Celle-ci consiste à tracer les courbes des deux modèles, et est extrait à partir de ces courbes des tensions de transfert de seuil des deux transistors.

Les résultats trouvés sont très fermé de la littérature que nous avons pris comme référence, soit pour la première fois ou le deuxième transistor. Cela confirme la plupart des symboles que nous avons développés.

Au final, nous fait un comparaison de deux types des transistors n-MOSFET et SB-SNTFET.

Les résultats que nous avons obtenus indique que le courant drain-source pour le SB-CNTFET est plus important que ce lui à n-MOSFET ce qui est en accord avec la littérature du domaine et le contraire pour la tension de seuil ce qui nettement montré sur les figures plus haut. Et A travers les résultats représentés sur les figures nous pouvons conclure que dans le régime nanométrique, les composants CNTFET sont avantages sur MOSFET en raison de leur faible capacitance quantique, alors que dans MOSFET, la valeur de capacité quantique va en augmentant, ce qui conduit à la propagation et donc une dégradation des performances.

III -7- Conclusion :

Dans ce troisième chapitre, nous avons modélisés et caractériser deux types de N-MOSFET et le second SB-CNTFET . Les résultats que nous avons obtenus sont très en accord avec la littérature de ce domaine de recherche et cela valide bien les modèles et les codes que nous avons développés.

Conclusion générale

Conclusion

La nanotechnologie est un secteur innovant et prometteur qui a de nombreuses applications potentielles. Alors que les attentes d'entre eux deviennent des faits, et la tâche essentielle et l'application de l'effort de recherche est une condition nécessaire. Les nanotubes de carbone (CNT) est aujourd'hui l'un des candidats les plus prometteurs pour l'effet de champ transistor (FET) sur l'échelle du nanomètre, et le champ des transistors effet à base de nanotubes de carbone (transistor à effet de champ de nanotubes de carbone, CNTFET) aujourd'hui sont parmi les dispositifs qui peuvent remplacer la technologie CMOS. Des recherches intensives sont en cours pour déterminer les caractéristiques des transistors de nanotube de carbone (CNTFET).

Dans cette mémoire, nous simulons les caractéristiques électriques de conduction courant-tension du transistor N-MOSFET et le SB -CNTFET ainsi que le transfert d'électrons transport balistique dans un transistor à effet de champ sur la base de nanotubes de carbone à barrière Schottky (SB-CNTFET).

Les équations physiques sont bien des modèles détaillés pour déterminer la performance (vider équipe actuelle, le drain / source grille / source et de l'énergie) en SB -CNTFET.

Nous analysons ensuite l'impact des changements dans les paramètres SB-CNTFET (diamètre du canal, la température de fonctionnement, et le drain / source, grille / source) sur la performance électronique déjà étudié à SB -CNTFET. Plusieurs résultats sont remarquables:

Il convient de noter que l'augmentation de la température et du diamètre des tuyaux signifie une augmentation du courant, de sorte que les SB-CNTFET de flux devenir un meilleur conducteur.

A fin de cette étude, nous avons comparé les caractéristiques électriques de canal et le transfert d'électrons entre SB-CNTFET et n-MOSFET. On notera que le MOSFET atteindra technologique et, plus important encore, les limites physiques fondamentales du régime du nanomètre. De plus, on prévoit que le taux de défaut et l'échec au niveau de l'appareil et le

Conclusion générale

circuit à être beaucoup plus élevé qu'avec MOSFET. Par conséquent, il est d'une grande importance pour l'industrie pour développer technologies qui permettront la mise en œuvre continue des dispositifs de performance toujours plus élevés. Le CNTFET est parmi les nouvelles technologies les plus prometteuses qui pourraient prendre la place de l'électronique à base de silicium

Cela pourrait être suivi par cette étude et d'autres études sur les différentes structures de CNTFET (, anesthésie CNTFET (N / I / P), et des erreurs qui peuvent se produire dans ces structures.

Références bibliographiques :

- [1] C. Tinella, "Receiver ICs on HR SOI technology," MEDEA+ T206 SOI Workshop, November 25-26, (2004).
- [2] J. E. Lienfeld, U.S. Patent N°1-745-175 (1930).
- [3] J. Kilby, "Miniaturized Electronic Circuits", Patent N°3-138-743 (1959).
- [4] X. Huang, W. C. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y. K. Choi, K. Asano, V. Subramanian, T. J. King, J. Bokor, and C. Hu, "Sub 50 nm FinFET: PMOS," in IEDM Tech. Dig, pp. 67–70. ., (1999)
- [5] R. Talmat, Etude des phénomènes de transport de porteurs et du bruit basse fréquence en fonction de la température dans les transistors Mosfets nanométriques. Thèse de doctorat de l'université de Caen basse-normandie. (2011).
- [6] Bernard boittiaux, Cours d'électronique, les composants semi-conducteurs. Tech & Doc Lavoisier (1999).
- [7] Henry Mathieu, Hervé Fanet. Physique des semi-conducteurs et des composants électroniques Cours et exercices corrigés 6e édition. Dunod
- [8] A. Gehring, S. Selberherr, « Modeling of tunneling current and gate dielectric reliability for nonvolatile memory devices », IEEE Transactions on Device and Materials Reliability, 4, (2004).
- [9] R. Clerc, "Etude des effets quantiques dans les composants CMOS à oxydes de grille ultra minces modélisation et caractérisation », thèse de doctorat, Institut National polytechnique de Grenoble (2001).
- [10] B. L. Yang, P. T. Lai, H. Wong, "Conduction mechanisms in MOS gate dielectric films", Departement of Electrical and electronic Engineering, The university of Hong Kong, Pokfulam Road, Internal publication (2004).
- [11] C. PAVAGEAU, Utilisation des technologies CMOS SOI 130 nm pour des applications en gamme de fréquences millimétriques.
- [12] S. CRISTOLOVEANU et F. BALESTRA, Technologie silicium sur isolant (SOI). Article technique de l'ingénieur Date de publication : (2014).
- [13] J. GOGUET, "Contribution à la modélisation physique et électrique compacte du transistor à nanotube". thèse de doctorat de l'université L'UNIVERSITÉ BORDEAUX 1. septembre (2009).
- [14] S. Iijima, "Helical microtubules of graphitic carbon," *Nature*, vol. 354, no. 6348, pp. 56-58, (1991).
- [15] X. Wang et al., "Fabrication of Ultralong and Electrically Uniform Single-Walled Carbon Nanotubes on Clean Substrates," *Nano Letters*, vol. 9, no. 9, pp. 3137-3141, (2009).
- [16] M. S. Dresselhaus, G. Dresselhaus, and P. Avouris, Eds., *Carbon Nanotubes*, vol. 80. Berlin, Heidelberg: Springer Berlin Heidelberg, (2001).
- [17] Y. L. Kim et al., "Highly Aligned Scalable Platinum-Decorated Single-Wall Carbon Nanotube Arrays for Nanoscale Electrical Interconnects," *ACS Nano*, vol. 3, no. 9, pp. 2818-2826, (2009).
- [18] W. Fu, L. Liu, K. Jiang, Q. Li, and S. Fan, "Super-aligned carbon nanotube films as aligning layers and transparent electrodes for liquid crystal displays," *Carbon*, vol. 48, no. 7, pp. 1876-1879, Jun. (2010).
- [19] R. Landauer, "Electrical resistance of disordered one-dimensional lattices," *Philosophical Magazine*, vol. 21, no. 172, p. 863, (1970).
- [20] T. Ando, "Excitons in Carbon Nanotubes," *Journal of the Physical Society of Japan*, vol. 66, pp. 1066-1073, (1997).

- [21] H. Kajiura, A. Nandyala, U. C. Coskun, A. Bezryadin, M. Shiraishi, and M. Ata, "Electronic mean free path in as-produced and purified single-wall carbon nanotubes," *Applied Physics Letters*, vol. 86, no. 12, p. 122106, (2005).
- [22] I. LouisGorintin. « Etude et réalisation de transistors à nanotubes de carbone pour la détection sélective de gaz. these de doctorat. de l'Ecole Polytechnique. (2011).
- [23] Si-Yu LIAO caractérisation électrique et électro-optique de Transistor à base de nanotube de carbone en vue de leur Modélisation compacte, these de doctorat. L'UNIVERSITE BORDEAUX I. (2011).
- [24] J. Goguet, S. Fregonese, C. Maneux, and T. Zimmer, "A charge approach for a compact model of Dual Gate CNTFET," in 2008 3rd International Conference on Design and Technology of Integrated Systems in Nanoscale Era, pp. 1-5, (2008).
- [25] J. Goguet, S. Fregonese, C. Maneux, and T. Zimmer, "Compact Model of a Dual Gate CNTFET: Description and Circuit Application," in 2008 8th IEEE Conference on Nanotechnology, pp. 388-389, (2008).
- [26] M. Freitas, J. C. Tsang, A. Bol, D. Yuan, J. Liu, et P. Avouris, « Imaging of the Schottky Barriers and Charge Depletion in Carbon Nanotube Transistors », *Nano Letters*, vol. 7, no. 7, p. 2037-2042, juill. (2007).
- [27] S. M. Sze et K. K. Ng, *Physics of semiconductor devices*. Wiley-Blackwell, (2007).

ملخص

أنابيب الكربون النانوية وتأثير (CNT) هو الآن واحد من المرشحين الواعدين لترانزستور تأثير المجال على مقياس متناهي الصغر هم الآن من بين (CNTFET) تأثير مجال الترانزستور أنابيب الكربون، (الترانزستور الميدانية استنادا إلى أنابيب الكربون النانوية واستبدال CMOS الأجهزة التي يمكن حلها تكنولوجيا. والهدف من هذا العمل هو دراسة نوعين من الترانزستور , درسنا الترانزستورات وقدم مقارنة بين MOSFET وSB-CNTFET. MOSFET، CMOS، FET أنابيب الكربون النانوية، . خصائص الموصلية الكهربائية ذات الجهد الحالي بين هذين النوعين كلمات البحث: الخصائص الكهربائية.CNTFET.

Résumé:

Les nanotubes de carbone (CNT) est maintenant l'un des candidats les plus prometteurs pour les transistors à effet de champ (FET) à l'échelle du nanomètre et l'impact du transistor de champ à base de nanotubes de carbone (effet de champ transistor de nanotubes de carbone, CNTFET) sont aujourd'hui parmi les dispositifs qui peuvent être résolus la technologie CMOS et le remplacer.

Le but de ce travail est l'étude des deux types de transistor n-MOSFET et SB-CNTFET. Nous avons étudié les transistors n-MOSFET et SB-CNTFET et présenté une comparaison entre les propriétés de conductivité électrique courant- tension entre les deux types.

Mots-clés: nanotubes de carbone, FET, CMOS, MOSFET. CNTFET. Propriétés électriques.

Abstract:

Carbon nanotubes (CNT) is now one of the most promising candidates for the field-effect transistor (FET) at the nanometer scale and impact of base field of carbon nanotube transistor (field effect carbon nanotube transistor, CNTFET) are now among the devices that can be solved CMOS technology and replace.

The aim of this work is the study of two types of transistor n-MOSFET and SB-CNTFET. mathleb the program we will use to make a comparison between the electrical conductivity properties of current-voltage between the two types.

Keywords: carbon nanotubes, FET, CMOS, MOSFET. CNTFET. electrical properti

Matriél requis :mathleb.